

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-281933

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 08-095401

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.04.1996

(72)Inventor : NITTA HIROYUKI

FURUHASHI TSUTOMU

OISHI SUMIHISA

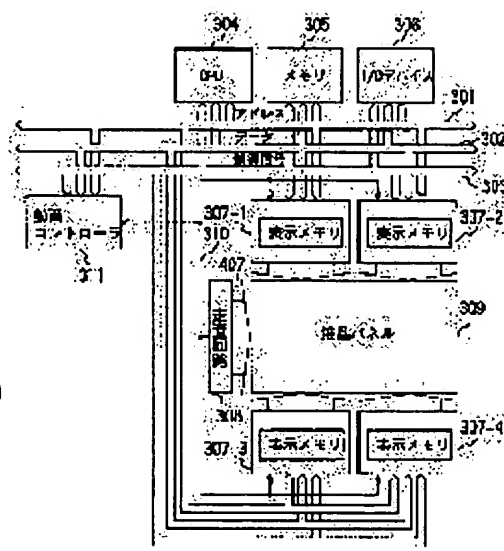
TSUNEKAWA SATORU

(54) DATA DRIVER AND LIQUID CRYSTAL DISPLAY DEVICE AND INFORMATION PROCESSING DEVICE USING IT.

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which realizes a multi- gradation display and a moving video picture display which reducing the power consumption and the cost.

SOLUTION: Still-frame picture data are transferred from the CPU 304 to memory in a data driver 307 (307-1 to 307-4). Moving video picture data which require multi-gradation display are processed by a moving video picture driver 311 and sent to the data driver 307 through a panel 302. The regions of still- frame picture and moving picture in a liquid crystal panel 309 are preset in a register. In the still-frame picture display region, a selector selects the still- frame picture data sent from the memory. In the moving picture display region, the selector selects the moving picture data sent from the bus 302. The register, the latch, and the liquid crystal drive circuit impresses liquid crystal drive voltage on the data line of the liquid crystal panel 309 based on the data outputted by the selector.



## LEGAL STATUS

[Date of request for examination] 16.12.1999

[Date of sending the examiner's decision of rejection] 12.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the liquid crystal display and information processor which used a data driver and this.

[0002]

[Description of the Prior Art] The liquid crystal display is strongly expected low-power-ization not only for the purpose of improvement in display quality but for the purpose of loading to a pocket mold device. Therefore, display memory was built in the data driver LSI, and low-power-ization was in drawing by low-speed-izing access frequency to the memory which stored the indicative data. Hereafter, such a conventional liquid crystal display is explained using drawing 18 , drawing 19 , and drawing 20 .

[0003] The principal part block diagram of a liquid crystal display and drawing 20 of system configuration drawing using the liquid crystal driver with built-in memory of the former [ drawing 18 ] and drawing 19 are block diagrams with a detailed liquid crystal driver with built-in memory. What was shown here is a liquid crystal display which drives the liquid crystal panel 109 of 320x480 dots using four data drivers LSI 107 of 160 outputs.

[0004] In drawing 18 , the address bus attached sign"101." the same -- " -- 102 -- " -- a data bus -- " -- 103 -- " -- a control signal -- a line -- " -- 104 -- " -- CPU -- " -- 105 -- " -- memory -- " -- 106 -- " -- an I/O device -- " -- 107 -- " -- one -- " -- " -- 107 -- " -- four -- " -- display memory -- having built -- data -- a driver -- LSI -- " -- 108 -- " -- a scanning circuit -- " -- 109 -- " -- a liquid crystal panel In addition, the data driver LSI 107-1 to 107-4 may only be generically called the data driver LSI 107.

[0005] In drawing 19 and drawing 20 , the oscillator circuit for a display attached sign"201." It is the signal line which similarly transmits the control signal with which "202" shows the power circuit of a liquid crystal driver, and "203-1"- "203-4" shows the arrangement location of the data driver LSI 107-1 to 107-4. Hereafter, a control signal 203-1 to 203-4 may only be generically called a control signal 203. A line for a signal line for "204" to transmit a display-control signal and "205" to supply the supply voltage for scanning circuits and "206" have pointed out the line for supplying the supply voltage for data driver LSI107. The address administration circuit where "207" performs address control corresponding to a control signal 203, A signal line for "208" to transmit the column address obtained by address control by the address administration circuit 207, A signal line for "209" to transmit the row address of the display memory which performed address control in the address address administration circuit 207, The timing-control circuit where "210" generates the various control signals of the data driver LSI107 interior based on a control signal 103, A signal line for "211" to transmit the control signal which controls I/O of an indicative data, A signal line for "212" to transmit the control signal which controls the row address 218 for a display, A signal line for "213" to transmit the control signal which controls a selector 221, A signal line for a signal line for "214" to transmit a latch signal and "215" to transmit the control signal which controls alternating current-ization of a liquid crystal drive, A signal line for the display address counter with which "217" generates the display address, and "218" to transmit the row address for a display, the I/O buffer to which "219" performs congruence directional

control of data, and "220" have pointed out the data bus for transmitting data. As for the selector as which "221" chooses either the address for a display or the addresses which have been sent from the system (CPU104 grade), and "222", the selector 221 has pointed out the signal line for transmitting the row address chosen and outputted. The signal line for transmitting the selection signal with which the column address decoder generated "223" and the column address decoder 223 generated "224", and "225" point out the data selector of display memory 229, and "226" has pointed out the data bus of display memory 229. "227" has pointed out the row address decoder. The display memory to which "229" holds an indicative data (a memory cell, RAM), The signal line for transmitting the control signal with which "230" controls the display data bus from display memory 229, and "231" controls FRC data, A signal line for the FRC data circuit where "232" generates the data of FRC, and "233" to transmit FRC data, The FRC selector as which "234" chooses FRC data corresponding to an indicative data 230, A data bus for "235" to transmit the indicative data chosen by the FRC selector 234, The liquid crystal drive circuit which "236", the latch circuit to which "238" latches an indicative data, "237", and "239" are based on a display data bus, and "240" is based on an indicative data, and generates liquid crystal driver voltage, and "241" have pointed out the line for supplying liquid crystal driver voltage.

[0006] The sign which gave a signal, data, etc. to the signal line which transmits the signal concerned etc., and the bus may be attached and called into this specification. for example, the display synchronizing signal transmitted through a signal line 110 -- "display synchronizing signal 110 -- " -- it may call Moreover, the indicative data transmitted through the display data bus 235 may be called "an indicative data 235."

[0007] Drive actuation of this liquid crystal display is explained using drawing 18 .

[0008] An indicative data is drawn by the display memory of the data driver LSI 107 from memory 105 or I/O device 106 according to control by CPU104. Drawing actuation of the indicative data to the data driver LSI 107 is performed by [ as being the following ] from this memory 105.

[0009] CPU104 performs the read cycle which once incorporates the data of memory 105 to the register of CPU104 with outputting the lead address and a control signal to memory 105. Then, CPU104 performs the light cycle which writes the data once incorporated to the register of CPU104 with outputting the light address and a control signal to the data driver LSI 107 in the display memory of the data driver LSI 107. CPU104 transmits the indicative data of memory 105 to the display memory of the data driver LSI 107 by repeating this actuation, and updates an indicative data (drawing).

[0010] Furthermore, detailed actuation of the data driver LSI 107 is explained using drawing 19 and drawing 20 .

[0011] The arrangement location to a liquid crystal panel 109 is set up by the control signal 203 with which each data driver LSI 107 shows the arrangement location of a panel, respectively.

[0012] For this reason, as for four data drivers LSI 107, any have judged whether it is accessed to the address from CPU104 based on a control signal 203. If the light address from CPU104 is received, the address administration circuit 207 will judge whether the address concerned is the address which the data driver LSI 107 to which oneself belongs takes charge of. When it is the address which the data driver LSI 107 to which oneself belongs takes charge of as a result of a judgment, the address concerned is changed into the address (a column address 208, row address 209) of display memory 229, and this is outputted to the column address decoder 223 and a selector 221.

[0013] At the time of the light cycle from CPU104, a selector 221 chooses a row address 209 and outputs this to the row address decoder 227. Then, the row address decoder 227 chooses the gate line of the display memory 229 corresponding to the address. On the other hand, the column address decoder 223 is confirming the data selector 225 corresponding to a column address 208, and chooses the data line of display memory 229. Thereby, the light data 220 from I/O buffer 219 can be written in the predetermined address of display memory 229. An indicative data is updated by repeating the above actuation (drawing).

[0014] The x2 bit (4 gradation) indicative data is held by one screen at display memory 229.

[0015] In the case of read-out of the indicative data from display memory 229, a selector 221 chooses the row address (display address) 218 generated with the display address counter 217. Thereby, reading

appearance of the indicative data of every one line of the address specified by the display address 218 at that time is carried out one by one by the FRC selector 234. This read-out is performed synchronizing with a Horizontal Synchronizing signal. The FRC selector 234 outputs the read indicative data to a latch circuit 236 as a 1-bit indicative data 235. A sequential transfer is carried out by the latch circuit 236, 238 as an indicative data 237, 239, and this indicative data 235 is inputted into the liquid crystal drive circuit 240. The liquid crystal drive circuit 240 generates the liquid crystal driver voltage 241 corresponding to this indicative data 239, and drives a liquid crystal panel 109.

[0016] A scanning circuit 108 confirms the gate line of one line of a liquid crystal panel 109 at a time one by one synchronizing with this. A display will be performed by this.

[0017] In addition, a latch circuit is constituted in two steps (a latch circuit 236, latch circuit 238), and mediation actuation when access (writing to display memory 229) and the display action (read-out from display memory 229) from CPU104 compete is performed by controlling each timing of operation by the latch signal 214, 215 here.

[0018]

[Problem(s) to be Solved by the Invention] By the way, the display of an animation is increasingly required with development of multimedia technology in recent years. In order to display an animation, the multi-gradation display of 32 or more gradation will be indispensable practically. In order to display 1-pixel 32 gradation, 1-pixel 5-bit indicative data is needed. And in order to realize this with the above-mentioned conventional technology, the capacity of the memory built in the data driver LSI must be made to increase.

[0019] However, if the capacity of the memory to build in is made to increase, a chip size will increase, and it becomes difficult to attain low-pricing. Moreover, although renewal of 30 or more frames is required for the drawing data of an animation in 1 second, for that purpose, data must be transmitted for every frame, and high-speed rewriting of memory becomes indispensable. If the number of gradation increases, in order for the amount of data to also increase, therefore the number of gradation increases, as for rewriting, improvement in the speed comes to be required further. Such improvement in the speed leads to increase of power consumption. Thus, it was difficult to realize low-power-izing and low cost-ization to \*\* with the conventional technology.

[0020] This invention aims at offering the liquid crystal display using the data driver and this which can respond to a movie display, and an information processor, realizing low cost and a low power.

[0021]

[Means for Solving the Problem] In this invention, an animation controller is formed apart from a data driver, and it is made to perform processing for animation processing and a liquid crystal multi-gradation display here. Data processed through display memory in a data driver is used for a display of a still picture. On the other hand, data sent from an animation controller is used for a display of an animation. By using it according to a viewing area, changing both, it can respond to an animation, without causing increase of power consumption, and increase of capacity of display memory. That is, in a still picture from which the display screen does not change, -izing of the access frequency of display memory can be carried out [ low speed ] (if every one line is read from display memory, access to display memory is sufficient for a level period at once). On the other hand, it is not necessary to make display memory capacity built in a data driver increase by making it process for an animation controller by movie display. Moreover, in order to process gradation control by animation controller, the number of gradation displays is not restricted by only data driver. If gradation control by data driver and gradation control by animation controller are combined, the number of gradation displays can be made [ more ].

[0022] It will be as follows if a configuration of this invention is described more concretely.

[0023] In a data driver which outputs liquid crystal driver voltage impressed to the data line of a liquid crystal panel as the 1st mode of this invention according to an indicative data into which it is inputted from the outside A data bus into which an indicative data is inputted from the exterior, and an address bus into which the address is inputted from the exterior, It has an output bus for outputting data by which reading appearance was carried out from display memory and this display memory for

memorizing an indicative data. It once stores in a field on the above-mentioned display memory which becomes settled based on the above-mentioned address into which an indicative data inputted through the above-mentioned data bus was inputted through the above-mentioned address bus. Then, a data-processing system which reads to order which was able to define separately an indicative data stored in this display memory, and is outputted through the above-mentioned output bus, A selection means to choose either an output bus of the above-mentioned data-processing system or the above-mentioned data buses, A data driver characterized by having a voltage-output means to output liquid crystal driver voltage according to data sent through a bus of a direction chosen by the above-mentioned selection means is offered.

[0024] It is [ means / above-mentioned / selection ] desirable in it being what is constituted including a selector which chooses either the above-mentioned data bus or an output bus of the above-mentioned data-processing system according to directions from memory which stores selection information used as criteria of selection, a directions circuit which outputs selection directions according to the above-mentioned selection information, and the above-mentioned directions circuit.

[0025] It is desirable in it being what the directions which choose the above-mentioned data bus issue during the period when data which should be outputted to a field where the above-mentioned selection information specified a field on the above-mentioned liquid crystal panel, and the above-mentioned directions circuit was specified by the above-mentioned selection information is sent through the above-mentioned data bus, and takes out in the directions which choose the output bus of the above-mentioned data-processing system when other.

[0026] The above-mentioned selection information may specify a field which displays an animation on the above-mentioned liquid crystal panel.

[0027] the 1st gradation control circuit where the above-mentioned data-processing system performs gradation control based on an indicative data by which reading appearance was carried out from the above-mentioned display memory -- having -- this -- data after gradation control by the 1st gradation control circuit was performed may be outputted through the above-mentioned output bus.

[0028] A gradation control circuit of the above 1st may perform the above-mentioned gradation control by FRC method.

[0029] the 2nd gradation control circuit which performs gradation control based on the above-mentioned data sent through a bus of a direction where the above-mentioned voltage-output means is chosen by the above-mentioned selection means -- having -- this -- voltage obtained by gradation control by the 2nd gradation control circuit may be outputted as the above-mentioned liquid crystal driver voltage.

[0030] A gradation control circuit of the above 2nd may perform the above-mentioned gradation control by PWM or AM method.

[0031] As the 2nd mode of this invention, it has a data driver of the 1st mode mentioned above, and a data controller which processes an indicative data, and a liquid crystal display characterized by the above-mentioned data controller being what outputs data for a result of the above-mentioned processing to the above-mentioned data driver through the above-mentioned data bus is offered.

[0032] the 3rd gradation control circuit where the above-mentioned data controller performs gradation control to an indicative data -- having -- this -- it is desirable that it is what outputs data obtained by gradation control by the 3rd gradation control circuit.

[0033] A gradation control circuit of the above 3rd may perform the above-mentioned gradation control by FRC method.

[0034] gradation control by gradation control circuit of the above 1st, gradation control by gradation control circuit of the above 2nd, gradation control by gradation control circuit of the above 3rd, and \*\* -- a gradation display may be performed by combining at least two.

[0035] An information processor characterized by having a liquid crystal display of the 2nd above-mentioned mode as the 3rd mode of this invention is offered.

[0036] An operation of each mode mentioned above is explained collectively.

[0037] By data-processing system, an indicative data inputted through a data bus is once stored in display memory. A storing field at this time is appointed based on the address inputted through an

address bus. Then, it reads to order which was able to define separately an indicative data stored in display memory, and outputs through an output bus. In addition, when a data-processing system has the 1st gradation control circuit, data after gradation control (for example, gradation control by FRC method) by this 1st gradation control circuit was performed to an indicative data which carried out reading appearance from display memory is outputted to an output bus.

[0038] A data controller outputs data for a result of having processed an indicative data to a data driver through a data bus. In addition, when a data controller has the 3rd gradation control circuit, data obtained by gradation control (for example, gradation control by FRC method) by this 3rd gradation control circuit is outputted.

[0039] A selection means chooses either an output bus of a data-processing system or the data buses. According to selection directions according to selection information which a directions circuit outputs, this selection means is realizable because a selector chooses either a data bus or an output bus of a data-processing system. When this selection information specifies a field on a liquid crystal panel (for example, animation display field), a directions circuit issues directions which choose a data bus during a period when data which should be outputted to a field specified by this selection information is sent from a data controller through a data bus. When other, directions which choose an output bus of a data-processing system are issued.

[0040] A voltage-output means outputs liquid crystal driver voltage according to data sent through a bus of a direction chosen by selection means. In addition, when a voltage-output means has the 2nd gradation control circuit, voltage obtained by performing gradation control (for example, gradation control by PWM or AM method) by this 2nd gradation control circuit to inputted data is outputted as liquid crystal driver voltage.

[0041]

[Embodiment of the Invention] The operation gestalt of this invention is explained using a drawing.

[0042] The liquid crystal display which is the 1st operation gestalt of this invention is explained using drawing 1 thru/or drawing 5, drawing 10, or drawing 15.

[0043] First, an outline is explained using drawing 1.

[0044] This liquid crystal display consists of the 320x480-pixel liquid crystal panel 309, the data driver LSI 307-1 to 307-4 and a scanning circuit 308, the animation controller 311, CPU304, memory 305, and I/O device 306. And it connects between these each part by the address bus 301, the data bus 302, the control signal line 303, and the display synchronizing signal line 310. In addition, in explanation after this, the data driver LSI 307-1 to 307-4 may only be generically called "the data driver LSI 307." Moreover, the sign of a signal line which transmits the signal concerned for a signal among this specification may be attached and called. For example, the display synchronizing signal sent through the display synchronizing signal line 310 may be called "the display synchronizing signal 310."

[0045] CPU304 has come to be able to carry out direct access to the display memory which the data driver LSI 307 builds in through an address bus 301 and a data bus 302. Moreover, the animation controller 311 can access the data driver LSI 307 now through an address bus 301 and a data bus 302 similarly. This updates an indicative data by CPU304 and memory 305 about still picture data in this liquid crystal display (drawing). On the other hand, about a video data, it is outputted to the data driver LSI 307 from the animation controller 311. And the data driver LSI 307 equips the interior with the information which shows an animation display field, changes the indicative data (still picture data) sent from CPU304 grade, and the indicative data (video data) sent from the animation controller 311 according to this information, and outputs it to a liquid crystal panel 309.

[0046] The feature on the configuration for realizing such actuation is mainly in the data driver LSI 307. Then, suppose after this that it explains focusing on the data driver LSI 307.

[0047] Each data driver LSI 307 is equipped with the display memory (memory cell 433) equipped with the capacity which can hold the indicative data of 2 bits of each pixel by 240 lines only 160 \*\*\*\*. Therefore, a 160x240-pixel liquid crystal panel can be displayed with 4 gradation by one data driver LSI 307. Since a liquid crystal panel 309 is 320x480 pixels, it arranges every (a total of four pieces) two of this data driver LSI 307 up and down, and performs 2 screen drives of the upper and lower sides of



every 240 lines.

[0048] The data driver LSI 307 is equipped with the address administration circuit 408, the timing-control circuit 411, I/O buffer 419, the display address counter 421, a selector 423, the row address decoder 425, the FRC data circuit 427, the column address decoder 429, a data selector 431, a memory cell 433, the FRC selector 435, the selector 437, the shift register 439, the latch circuit 441, and the liquid crystal drive circuit 443 as shown in drawing 2 and drawing 3. Moreover, it has the various signal lines for connecting between these each part (or between other circuit portions), and bus 420,432,434,442 grade.

[0049] In addition, the oscillator circuit 402 and power circuit 404 which were not being omitted and drawn in drawing 1 are also drawn on this drawing 2 and drawing 3.

[0050] The address administration circuit 408 changes the address 301 into a column address 409 and a row address 410 based on a control signal 303,401. On the other hand, the address administration circuit 408 is outputting the row address 410 for the column address 409 to the column address decoder 429 through a selector 423 to the row address decoder 425. In addition, a control signal 401 is for specifying any are the candidates for access at that time among four data drivers LSI 307.

[0051] The timing-control circuit 411 generates the various control signals 412, 413, 414, 415, and 416,417,418,445 of the data driver LSI307 interior from a control signal 303 and the display synchronizing signal 310. The control signal 412 is outputted to I/O buffer 419 among these control signals. The control signal 413 is outputted to the display address counter 421. The control signal 414 is outputted to the selector 423. The control signal 415 is outputted to the FRC data circuit 427. The shift clock 416 is outputted to the shift register 439. The latch signal 417 is outputted to the latch circuit 441, and is used for controlling the timing which latches an indicative data. The control signal 418 is outputted to the liquid crystal drive circuit 443, and is used for controlling alternating current-ization of a liquid crystal drive. The control signal 445 is outputted to the selector 437, and is used for choosing either between two data buses (a data bus 436, data bus 302) connected to the selector 437. In addition, the above-mentioned control signal 401 is inputted also into the timing-control circuit 411.

[0052] This timing-control circuit 411 is equipped with the register 4110 with which the information which shows the field where an animation is displayed on a liquid crystal panel 309 was stored. Moreover, the row address 422 which shows whether reading appearance of the indicative data corresponding to Rhine of what position on a liquid crystal panel 309 should be carried out from a memory cell 433 is then inputted into this timing-control circuit 411. The control signal 445 is generated based on the contents and the row address 422 of this register 4110. That is, in the animation display field, the control signal 445 is generated so that an indicative data 436 (still picture data) may be made to choose as a selector 437 an indicative data 302 (video data sent from the animation controller 311) by the still picture viewing area on the other hand. Such a point is the focus of this operation gestalt max.

[0053] I/O buffer 419 controls I/O of an indicative data 302,420 according to a control signal 412.

[0054] The display address counter 421 generates the row address 422 for a display according to a control signal 413. This display address counter 421 is outputting this row address 422 to the timing-control circuit 411 and the selector 423.

[0055] A selector 423 chooses either the row address 422 for a display or the row addresses 410 for drawing according to a control signal 414. This selector 423 is outputting the selected one to the row address decoder 425 as a row address 424.

[0056] The row address decoder 425 generates the WORD selection signal 426 by decoding a row address 424, and outputs this to the gate line of a memory cell 433.

[0057] The column address decoder 429 generates a selection signal 430 based on a column address 409. This column address decoder 429 is outputting this selection signal 430 to the data selector 431.

[0058] A data selector 431 is choosing the data line of the data bus 432 of a memory cell 433 according to a selection signal 430, and controls I/O of the indicative data 420 to a memory cell 433.

[0059] A memory cell 433 is the memory for storing temporarily an indicative data (still picture data), and consists of RAM. The field set as the object of writing/read-out of the indicative data on this memory cell 433 can be specified now based on an above-mentioned column address and an above-



mentioned row address. The memory cell 433 of this operation gestalt is equipped with the capacity which can hold the indicative data of 2 bits of each pixel by 240 lines only 160 \*\*\*\* as mentioned above.

[0060] The FRC data circuit 427 and the FRC selector 435 are for performing the gradation display by the FRC method. It is changing applied voltage (namely, display brightness) for every frame, and is the method which displays the brightness of middle gradation as it is indicated in drawing 15 as an FRC gradation method (in the example of drawing 15, display brightness is changed by the odd frame and even frames). In case the FRC data circuit 427 performs a gradation display with an FRC gradation method, it generates the required FRC data 428. The generation timing of the FRC data 428 is determined according to the control signal 415. The FRC selector 435 performs processing (FRC control) which chooses 1 bit of FRC data corresponding to the 1-pixel 2-bit indicative data 434. The FRC selector 435 is outputting the data generated by FRC control to the selector 437 as an indicative data 436.

[0061] the indicative data 302 (video data) into which the selector 437 is inputted as the indicative data 436 (still picture data) from the animation controller 311, and \*\* -- inner either is chosen according to a control signal 445. That is, in this operation gestalt, by the time the indicative data sent through a data bus 302 results in a selector 437, the two roots will be prepared. The 1st root is after data bus 302 the root which results in a selector 437 through I/O buffer 419, a data selector 431, a memory cell 433, the FRC selector 435, and a data bus 436. The 2nd root is the root which connected the data bus 302 to the selector 437 directly through the memory cell 433 grade. During the period which should input the indicative data about the field beforehand set up as an animation display field, the video data is inputted into the data bus 302 from the animation controller 311. Still picture data is inputted into the data bus 302 from CPU304 and the memory 305 grade during the period which should, on the other hand, input the indicative data about the field beforehand set up as a quiescence viewing area. Therefore, in a selector 437, either of the two roots from a data bus 302 to a selector 437 can be chosen now according to an indicative data by choosing either of a data bus 436 and a data bus 302 according to a control signal 445. This selector 437 is outputted to the shift register 439 by making into an indicative data 438 the direction which carried out in this way and was chosen.

[0062] In addition, the concrete internal configuration of the selector 437 in this operation gestalt was shown in drawing 4.

[0063] A shift register 439 is a 8-bit bidirectional shift register, and is operating according to the shift clock (control signal) 416.

[0064] A latch circuit 441 latches an indicative data (getting it blocked and synchronizing with the display selection signal 407 of a scanning circuit 308) 440 according to a control signal 417. This latch circuit 441 is outputting the latched data to the liquid crystal drive circuit 443 as an indicative data 442.

[0065] The liquid crystal drive circuit 443 generates the liquid crystal driver voltage 444 corresponding to an indicative data 442.

[0066] An oscillator circuit 402 generates the display clock 403 for specifying display timing, and supplies it to a scanning circuit 308.

[0067] A power circuit 404 generates and supplies liquid crystal panel driver voltage (the supply voltage 405 for scanning circuit 308, supply voltage 406 for data driver LSI307).

[0068] Next, the display action in this operation gestalt is explained.

[0069] Explanation is divided into the display action of a still picture, and the display action of an animation, and is performed.

[0070] what CPU304 carries out reading appearance of the indicative data in memory 305 (read access), and carries out it about a [display action of still picture] still picture, and this is written in the memory cell 433 of the data driver LSI 307 for (light access) -- it is -- the renewal of an indicative data (drawing) -- it is carried out. Access to memory 433 is performed at random. Access of CPU304 at this time is performed by the SRAM interface. The read/write timing of a SRAM interface was shown in drawing 10 and drawing 11. The address signal is transmitted through the address bus 301 among the signals shown in drawing 10 and drawing 11. The data signal is transmitted through the data bus 302. Signals

other than this are included in the control signal 303.

[0071] Hereafter, the writing of the indicative data to the memory cell 433 of the data driver LSI 307 and read-out of the indicative data from a memory cell 433 are explained.

[0072] First, the writing of the indicative data to a memory cell 433 is explained.

[0073] The read/write address from a system (CPU304 grade) is inputted into the address administration circuit 408 of the data driver LSI 307 through an address bus 301. As for the address administration circuit 408 of each data driver LSI 307, based on a control signal 401, access at that time judges whether it is a thing to its data driver LSI 307 which belongs, respectively. When it is access to the data driver LSI 307 to which oneself belongs as a result of this judgment, the address 301 inputted at this time is changed into a column address 409 and a row address 410.

[0074] The column address decoder 429 decodes this column address 409. A data selector 431 chooses the data line of the corresponding address based on this decoding result.

[0075] On the other hand, a selector 423 chooses a row address 410 and outputs it to the row address decoder 425 as a row address 424. The row address decoder 425 decodes this row address 424, and chooses one gate line according to a decoding result. Thereby, CPU304 can access the predetermined bit on the memory cell 433 which becomes settled by the data line and the gate line which are then chosen, and can transmit an indicative data to the predetermined address.

[0076] Next, read-out (display action) of the indicative data from a memory cell 433 is explained.

[0077] The FRC selector 435 changes into the 1-bit FRC data 436 the indicative data (data of 2 bits of each pixel for one line) held at the memory cell 433.

[0078] By the way, the timing-control circuit 411 is checking the contents and the row address 422 of a register 4110, and knows displaying the still picture field at this time. Therefore, the timing-control circuit 411 is outputting a value as which a selector 437 chooses a data bus 436 as a control signal 445 at this time. According to this control signal 445, a selector 437 chooses a data bus 436 and outputs the FRC data sent through this data bus 436 as an indicative data 438.

[0079] A shift register 439 latches an indicative data 438 a level period. The latch circuit 441 following this is the following level period, latches the indicative data 440 which a shift register 439 outputs, and outputs it to the liquid crystal drive circuit 443 as an indicative data 442. The liquid crystal drive circuit 443 chooses the liquid crystal driver voltage 444 corresponding to this indicative data 442, and outputs it to a liquid crystal panel 309. The output of the liquid crystal driver voltage 444 is outputted synchronizing with the scan selection voltage 407 which a scanning circuit 308 generates, and, thereby, can realize the display for one line of a liquid crystal panel 309.

[0080] The display of a still picture is attained by repeating the above actuation.

[0081] In displaying a [display action of animation] animation, a multi-gradation display and the fast transfer of an indicative data are needed in practice. Since the data driver LSI 307 of this operation gestalt corresponds to this, it performs the following drawing actuation.

[0082] A video data performs animation expanding processing from animation compressed data by the animation controller 311 and CPU304, and develops it to an indicative data. As for the developed indicative data, the animation controller 311 performs FRC control.

[0083] By the way, the animation controller 311 is also equipped with the register (control register circuit 505 in drawing 5 mentioned later) which stored the information which shows an animation field. The animation controller 311 can know whether the animation display field is then set as the object of display processing by checking the contents of this register etc. When the animation display field is then set as the object of display processing, the animation controller 311 performs above-mentioned FRC control. And the 1-bit FRC data of every one line obtained as a result is sent to the data driver LSI 307 through a data bus 302 one by one.

[0084] It gets to know that it is an animation display field that the timing-control circuit 411 of the data driver LSI 307 is also then set as the object of display processing by checking the contents and the row address 422 of a register 4110 similarly. Therefore, let the timing-control circuit 411 be the value as which a selector 437 chooses a data bus 302 for the control signal 445 at this time. Consequently, a selector 437 chooses the FRC data sent from the animation controller 311 through a data bus 302, and is

made to output it to a shift register 439. The output of the liquid crystal driver voltage 444 based on this FRC data will be performed like the case of a still picture after this.

[0085] Next, the timing of the animation data transfer to the data driver LSI 307 and the timing of processing within the data driver LSI 307 of this video data are further explained to details using drawing 12 , drawing 13 , and drawing 14 from the animation controller 311.

[0086] In explanation here, the field ( $n < m$ ) from  $n$  lines of a liquid crystal panel 309 to  $m$  lines shall be set up as an animation display field in the register 4110 of the timing-control circuit 411 (refer to drawing 12 ).

[0087] Animation display data of every one line is transmitted to the data driver LSI 307 from the animation controller 311 through a data bus 302 at a serial. In drawing 13 , CL1 is a synchronizing signal showing a level period, and is a signal included in the display synchronizing signal 310 (refer to drawing 2 and drawing 3 ).

[0088] The timing-control circuit 411 is outputted to the display address counter 421 by making this CL1 into a control signal 413. The display address counter 421 counts this control signal 413 (CL1), and is outputting that counted value to the selector 423 as a row address 422 for a display.

[0089] Although the selector 437 has changed the selection condition according to the control signal 445, the selection condition has the counted value and the following relation of the display address counter 421. That is, when the counted value of the display address counter 421 is  $n-1$ , the selector 437 has chosen the data bus 436 (that is, FRC data obtained based on the indicative data of the  $n-1$ st line stored in the memory cell 433) (when it is not an animation display field). When the counted value of the display address counter 421 is  $n$ , the selector 437 has chosen the data bus 302 (that is, indicative data sent from the animation controller 311) (when it is an animation display field). Thus, in an animation display field, a selector 437 chooses a data bus 302 (indicative data from the animation controller 311), and the indicative data of a memory cell 433 is chosen except an animation display field.

[0090] Moreover, actuation of the animation controller 311 also has actuation and the following relation of a selector 437 and the display address counter 421. That is, when the display counter 421 counts ( $n-1$ ), the animation controller 311 carries out the sequential transfer of the indicative data of the  $n$ -th line.

[0091] In the data driver LSI 307, the data (one line) of the  $n$ -th line with which the shift register 439 has been sent from this animation controller 311 to the timing shown in drawing 14 is incorporated. That is, a shift register 439 is the shift clock 416 which synchronized with WE signal, and incorporates an indicative data 438 (the data of the  $n$ -th line sent from the animation controller 311) by one line one by one (notes: at this time, the selector 437 is made into the condition of having chosen the data bus 302 as already stated). In addition, the transfer of the indicative data from the animation controller 311 is performed synchronizing with WE signal (write enable signal) in drawing 14 . A shift register 439 transmits the data incorporated to such timing to a latch circuit 441 as an indicative data 440.

[0092] A latch circuit 441 latches this indicative data 440 synchronizing with the CL1 following signal, and transmits it to the liquid crystal drive circuit 443 as an indicative data 442 (refer to drawing 13 ). The liquid crystal drive circuit 443 generates and outputs the liquid crystal driver voltage 444 according to this indicative data 442. The output of the liquid crystal driver voltage 444 is outputted synchronizing with the scan selection voltage 407 which a scanning circuit 308 generates, and, thereby, can realize the display for one line of a liquid crystal panel 309.

[0093] A movie display becomes possible by repeating the above actuation.

[0094] The animation controller 311 is explained using drawing 5 .

[0095] The animation controller 311 elongates compressed data, such as MPEG, and reproduces an indicative data. This animation controller 311 is equipped with the timing-control circuit 501, the I/O-hardware-control circuit 502 which controls I/O, the address control circuit 503, the animation processing circuit 504, the control register circuit 505, and the FRC control circuit 506 as it is shown in drawing 5 . Moreover, it has the signal lines 507, 508, and 509, 510, 511, 512 and address bus 513, 514 which connect these each part, and data buses 515, 516, and 517, 518, 519, 520.

[0096] The I/O-hardware-control circuit 502 is controlling I/O of the data signal which leads a data bus 302, and I/O of the address signal which leads an address bus 301. The I/O-hardware-control circuit 502

outputs the compressed data inputted through the data bus 302 to the animation processing circuit 504. Moreover, the address signal inputted through the address bus 301 is outputted to the address control circuit 503.

[0097] The animation processing circuit 504 processes expanding of the inputted compressed data, playback, the scaling that was adapted for the display size. And the indicative data obtained by this processing is outputted to the FRC control circuit 506. The FRC control circuit 506 changes this indicative data into FRC data. This FRC data is again returned to the I/O-hardware-control circuit 502 through the animation processing circuit 504 after this.

[0098] The information which shows the animation display field then set up is stored in the control register circuit 505. The I/O-hardware-control circuit 502 is checking the contents of this control register circuit 505, and it gets to know whether display processing to an animation field is then performed. And only when display processing to an animation field is performed, FRC data is outputted through a data bus 302. It is as relation with the timing of the data driver LSI 307 of operation having been shown in above-mentioned drawing 13 and drawing 14.

[0099] The timing of each part in the animation controller 311 of operation is adjusted based on the various control signals 507 and 508, 509, 510, 511 in which the timing-control circuit 501 carries out a generation output based on a control signal 303. Moreover, management of the address is made by the address control circuit 503.

[0100] In the liquid crystal display of this operation gestalt, the memory cell 433 with which the data driver LSI 307 is equipped is used only for the still picture display as explained above. Therefore, it is not necessary to rewrite a memory cell 433 at a high speed, and low-power-izing is possible. Moreover, the animation controller is performing FRC control for the gradation display in a movie display. Therefore, animation display (this operation gestalt 32 gradation) of many gradation becomes realizable easily, without increasing the memory space of the data driver LSI 307.

[0101] The liquid crystal display which is the 2nd operation gestalt of this invention is explained using drawing 6, drawing 7, drawing 10 or drawing 14, and drawing 16.

[0102] With the 2nd operation gestalt, pulse width modulation (PWM) is used as a gradation method.

[0103] This whole liquid crystal display configuration is the same as that of the 1st operation gestalt (refer to drawing 1) except for the point of using the data driver 900 instead of the data driver 307. this - the feature in the 2nd operation gestalt is mainly in the data driver LSI 900. Then, suppose after this that it explains focusing on the data driver LSI 900.

[0104] Each data driver LSI 900 is equipped with the display memory (memory cell 933) equipped with the capacity which can hold the indicative data of 2 bits of each pixel by 240 lines only 160 \*\*\*\*. Therefore, a 160x240-pixel liquid crystal panel can be displayed with 4 gradation by one data driver LSI 900. Since a liquid crystal panel 309 is 320x480 pixels, it arranges every (a total of four pieces) two of this data driver LSI 900 up and down, and performs 2 screen drives of the upper and lower sides of every 240 lines.

[0105] The data driver LSI 900 is equipped with the address administration circuit 908, the timing-control circuit 911, I/O buffer 919, the display address counter 921, a selector 923, the row address decoder 925, the column address decoder 929, a data selector 931, a memory cell 933, the selector 937, the shift register 939, the latch circuit 941, and the liquid crystal drive circuit 943 as shown in drawing 6 and drawing 7. Moreover, it has the various signal lines for connecting between these each part (or between other circuit portions), and bus 920, 932, 934, 942 grade.

[0106] In addition, the oscillator circuit 402 and power circuit 904 which were not being omitted and drawn in drawing 1 are also drawn on this drawing 6 and drawing 7.

[0107] The address administration circuit 908 changes the address 301 into a column address 909 and a row address 910 based on a control signal 303, 901. On the other hand, the address administration circuit 908 is outputting the row address 910 for the column address 909 to the column address decoder 929 through a selector 923 to the row address decoder 925. In addition, a control signal 901 is for specifying any are the candidates for access at that time among four data drivers LSI 900.

[0108] The timing-control circuit 911 generates the various control signals 912, 913, 914, 916, and

917,918,927,945 of the data driver LSI900 interior from a control signal 303 and the display synchronizing signal 907. The control signal 912 is outputted to I/O buffer 919 among these control signals. The control signal 913 is outputted to the display address counter 921. The control signal 914 is outputted to the selector 923. The control signal (shift clock) 916 is outputted to the shift register 939. The control signal (latch signal) 917 is outputted to the latch circuit 941, and is used for controlling the timing which latches an indicative data. The control signal 918 is outputted to the liquid crystal drive circuit 943, and is used for controlling alternating current-ization of a liquid crystal drive. The control signal 927 is outputted to the liquid crystal drive circuit 943, and is used for controlling the timing of Pulse Density Modulation. The control signal 945 is outputted to the selector 937, and is used for this selector 937 choosing either between two data buses (a data bus 436, data bus 302) connected to the selector 937. In addition, the above-mentioned control signal 901 is inputted also into the timing-control circuit 911.

[0109] This timing-control circuit 911 is equipped with the register 9110 with which the information which shows the field where an animation is displayed on a liquid crystal panel 309 was stored. Moreover, the row address 922 which shows whether reading appearance of the indicative data corresponding to Rhine of what position on a liquid crystal panel 309 should be carried out from a memory cell 933 is then inputted into this timing-control circuit 911. The above-mentioned control signal 945 is generated based on the contents and the row address 922 of this register 9110. That is, in the animation display field, the control signal 945 is generated so that an indicative data 934 (still picture data) may be made to choose as a selector 937 an indicative data 302 (video data sent from the animation controller 311) by the still picture viewing area on the other hand. Such a point is the focus of this operation gestalt max.

[0110] I/O buffer 919 controls I/O of an indicative data 302,920 according to a control signal 912.

[0111] The display address counter 921 generates the row address 922 for a display according to a control signal 913. This display address counter 921 is outputting this row address 922 to the timing-control circuit 911 and the selector 923.

[0112] A selector 923 chooses either the row address 922 for a display or the row addresses 910 for drawing according to a control signal 914. This selector 923 is outputting the selected one to the row address decoder 925 as a row address 924.

[0113] The row address decoder 925 generates the WORD selection signal 926 by decoding a row address 924, and outputs this to the gate line of a memory cell 933.

[0114] The column address decoder 929 generates a selection signal 930 based on the column address 909 which the address administration circuit 908 outputs. This column address decoder 929 is outputting this selection signal 930 to the data selector 931.

[0115] A data selector 931 is choosing the data line of the data bus 933 of a memory cell 933 according to a selection signal 930, and controls I/O of the indicative data 920 to a memory cell 933.

[0116] A memory cell 933 is the memory for storing temporarily an indicative data (still picture data), and consists of RAM. The field set as the object of writing/read-out of the indicative data on this memory cell 933 can be specified now based on an above-mentioned column address and an above-mentioned row address. The memory cell 933 is equipped with the capacity which can hold the indicative data of 2 bits of each pixel by 240 lines only 160 \*\*\*\* as mentioned above.

[0117] the indicative data 302 (video data) into which the selector 937 is inputted as the indicative data 934 (still picture data) from the animation controller 311, and \*\* -- inner either is chosen according to a control signal 945. That is, in this operation gestalt, by the time the indicative data sent through a data bus 302 results in a selector 937, the two roots will be prepared. The 1st root is after data bus 302 the root which results in a selector 937 through I/O buffer 919, a data selector 931, a memory cell 933, and a data bus 934. The 2nd root is the root which connected the data bus 302 to the selector 937 directly through the memory cell 933 grade. During the period which should input the indicative data about the field beforehand set up as an animation display field, the video data is inputted into the data bus 302 from the animation controller 311. Still picture data is inputted into the data bus 302 from CPU304 and the memory 305 grade during the period which should, on the other hand, input the indicative data about

the field beforehand set up as a quiescence viewing area. Therefore, in a selector 937, either of the two roots from a data bus 302 to a selector 937 can be chosen now according to an indicative data by choosing either a data bus 934 or the data buses 302 according to a control signal 945. This selector 937 is outputted to the shift register 939 by making into an indicative data 938 the direction which carried out in this way and was chosen.

[0118] In addition, the concrete internal configuration of the selector 937 in this operation gestalt is [ the selector 437 in the 1st operation gestalt, and ] the same (refer to drawing 4 ).

[0119] A shift register 939 is a 8-bit bidirectional shift register, and is operating according to a control signal 916.

[0120] A latch circuit 941 latches an indicative data (getting it blocked and synchronizing with the scan selection signal 903 of a scanning circuit 902) 940 according to a control signal (latch signal) 917. This latch circuit 941 is outputting the latched data to the liquid crystal drive circuit 943 as an indicative data 942.

[0121] The liquid crystal drive circuit 943 generates the liquid crystal driver voltage 944 corresponding to an indicative data 942 by pulse width modulation. Pulse width modulation is a method which controls the voltage actual value given to liquid crystal by switching the voltage given to the data electrode of a liquid crystal panel 309 during a selection period, and realizes a gradation display as it is shown in drawing 16 . In the example of drawing 16 , the selection period was equally divided into three and 4 gradation displays are realized by switching the voltage given to a data electrode for every period of this equally divided into three.

[0122] An oscillator circuit 402 generates the display clock 403 for specifying display timing, and supplies it to a scanning circuit 902.

[0123] A power circuit 904 generates and supplies liquid crystal panel driver voltage (the supply voltage 405 of 902 for scanning circuits, supply voltage 906 for data driver LSI900).

[0124] In addition, the configuration and actuation of the animation controller 311 are the same as that of the 1st operation gestalt fundamentally (refer to drawing 5 ). however -- this -- unlike the 1st operation gestalt, FRC data is used as data of 2 bits of each pixel with the 2nd operation gestalt. The multi-gradation display is realized by combining the gradation control by the FRC control which the animation controller 311 performs, and the gradation control by the Pulse-Density-Modulation control which the data driver LSI 900 performs. If Pulse-Density-Modulation control performs 4 gradation control and FRC control performs control of 12 or more gradation, the display of 32 or more gradation is realizable with such combination.

[0125] Next, the display action in this operation gestalt is explained.

[0126] Explanation is divided into the display action of a still picture, and the display action of an animation, and is performed.

[0127] About a [display action of still picture] still picture, CPU304 reads and (read access) carries out the indicative data in memory 305, it is what this is written in the memory cell 933 of the data driver LSI 900 for (light access), and renewal of an indicative data (drawing) is performed. Access to memory 933 is performed at random. Access of CPU304 at this time is performed by the SRAM interface. The read/write timing of a SRAM interface is as having been shown in drawing 10 and drawing 11 .

[0128] Hereafter, the writing of the indicative data to the memory cell 933 of the data driver LSI 900 and read-out of the indicative data from a memory cell 933 are explained.

[0129] First, the writing of the indicative data to a memory cell 933 is explained.

[0130] The read/write address from a system (CPU304 grade) is inputted into the address administration circuit 908 of the data driver LSI 900 through an address bus 301. As for the address administration circuit 908 of each data driver LSI 900, based on a control signal 901, access at that time judges whether it is a thing to its data driver LSI 900 which belongs, respectively. When it is access to the data driver LSI 900 to which oneself belongs as a result of this judgment, the address 301 inputted at this time is changed into a column address 909 and a row address 910.

[0131] The column address decoder 929 decodes this column address 909. A data selector 931 chooses the data line of the corresponding address based on this decoding result.



[0132] On the other hand, a selector 923 chooses a row address 910 and outputs it to the row address decoder 925 as a row address 924. The row address decoder 925 decodes this row address 924, and chooses one gate line according to a decoding result. Thereby, CPU304 can access the predetermined bit on the memory cell 933 which becomes settled by the data line and the gate line which are then chosen, and can transmit an indicative data to the predetermined address.

[0133] Next, read-out (display action) of the indicative data from a memory cell 933 is explained.

[0134] The timing-control circuit 911 is checking the contents and the row address 922 of a register 9110, and knows displaying the still picture field at this time. Therefore, the timing-control circuit 911 is outputting a value as which a selector 937 chooses a data bus 934 as a control signal 945 at this time. A selector 937 chooses a data bus 934 according to this control signal 945, and outputs the data (2 bits of each pixel, and one line) by which reading appearance has been carried out from the memory cell 933 through this data bus 934 as an indicative data 938.

[0135] A shift register 939 latches an indicative data 938 a level period. The latch circuit 941 following this is the following level period, latches the indicative data 940 which a shift register 939 outputs, and outputs it to the liquid crystal drive circuit 943 as an indicative data 942. The liquid crystal drive circuit 943 outputs the liquid crystal driver voltage 944 which performed Pulse-Density-Modulation (PWM) control according to this indicative data 942 to a liquid crystal panel 309. The output of the liquid crystal driver voltage 944 is outputted synchronizing with the scan selection signal 903 which a scanning circuit 902 generates, and, thereby, can realize the display for one line of a liquid crystal panel 309.

[0136] The display of a still picture is attained by repeating the above actuation.

[0137] In displaying a [display action of animation] animation, a multi-gradation display and the fast transfer of an indicative data are needed in practice. Since the data driver LSI 900 of this operation gestalt corresponds to this, it performs the following drawing actuation.

[0138] A video data performs animation expanding processing from animation compressed data by the animation controller 311 and CPU304, and develops it to an indicative data. As for the developed indicative data, the animation controller 311 performs FRC control.

[0139] By the way, the animation controller 311 is also equipped with the register (control register circuit 505 in drawing 5) which stored the information which shows an animation field. The animation controller 311 can know whether the animation display field is then set as the object of display processing by checking the contents of this register etc. When the animation display field is then set as the object of display processing, the animation controller 311 performs above-mentioned FRC control. And the FRC data of every one line of 2 bits of each pixel obtained as a result is sent to the data driver LSI 900 through a data bus 302 one by one.

[0140] It gets to know that it is an animation display field that the timing-control circuit 911 of the data driver LSI 900 is also then set as the object of display processing by checking the contents and the row address 922 of a register 9110 similarly. Therefore, let the timing-control circuit 911 be the value as which a selector 937 chooses a data bus 302 for the control signal 945 at this time. Consequently, a selector 937 chooses the FRC data sent from the animation controller 311 through a data bus 302, and is made to output it to a shift register 939. The output of the liquid crystal driver voltage 444 to which this pulse width control was performed will be performed like the case of a still picture after this. Thus, the display of 32 or more gradation is realizable by combining 4 gradation control by pulse width modulation, and 12 gradation control by the FRC gradation method.

[0141] Next, the timing of the animation data transfer to the data driver LSI 900 and the timing of processing within the data driver LSI 900 of this video data are further explained to details using drawing 12, drawing 13, and drawing 14 from the animation controller 311.

[0142] In explanation here, the field ( $n < m$ ) from  $n$  lines of a liquid crystal panel 309 to  $m$  lines shall be set up as an animation display field in the register 4110 of the timing-control circuit 411 (refer to drawing 12).

[0143] The animation display data transfer from the animation controller 311 to the data driver 900 is the same as that of the 1st operation gestalt.

[0144] The animation display data of every one line of 2 bits of each pixel is transmitted to the data



driver LSI 900 from the animation controller 311 through a data bus 302 at a serial. In drawing 13 , CL1 is a synchronizing signal showing a level period, and is a signal included in the display synchronizing signal 907 (refer to drawing 6 and drawing 7 ).

[0145] The timing-control circuit 911 is outputted to the display address counter 921 by making this CL1 into a control signal 913. The display address counter 921 counts this control signal 913 (CL1), and is outputting that counted value to the selector 923 as a row address 922 for a display.

[0146] Although the selector 937 has changed the selection condition according to the control signal 945, the selection condition has the counted value and the following relation of the display address counter 921. That is, when the counted value of the display address counter 921 is  $n-1$ , the selector 937 has chosen the data bus 934 (that is, the indicative data of the  $n-1$ st line stored in the memory cell 933) (when it is not an animation display field). When the counted value of the display address counter 921 is  $n$ , the selector 937 has chosen the data bus 302 (that is, indicative data sent from the animation controller 311) (when it is an animation display field). Thus, in an animation display field, a selector 937 chooses a data bus 302 (indicative data from the animation controller 311), and the indicative data of a memory cell 933 is chosen except an animation display field.

[0147] Moreover, actuation of the animation controller 311 also has actuation and the following relation of a selector 937 and the display address counter 921. That is, when the display address counter 921 counts  $(n-1)$ , the animation controller 311 carries out the sequential transfer of the indicative data of the  $n$ -th line.

[0148] In the data driver LSI 900, the data (one line) of the  $n$ -th line with which the shift register 939 has been sent from this animation controller 311 to the timing shown in drawing 14 is incorporated. That is, a shift register 939 is the shift clock 916 which synchronized with WE signal, and incorporates an indicative data 938 (the data of the  $n$ -th line sent from the animation controller 311) by one line one by one (notes: at this time, the selector 937 is made into the condition of having chosen the data bus 302 as already stated). In addition, the transfer of the indicative data from the animation controller 311 is performed synchronizing with WE signal (write enable signal) in drawing 14 . A shift register 939 transmits the data incorporated to such timing to a latch circuit 941 as an indicative data 940.

[0149] A latch circuit 941 latches this indicative data 940 synchronizing with the CL1 following signal, and transmits it to the liquid crystal drive circuit 943 as an indicative data 942 (refer to drawing 13 ). The liquid crystal drive circuit 943 generates and outputs the liquid crystal driver voltage 944 which performed Pulse Density Modulation corresponding to this indicative data 942 (2 bits of each pixel). The output of the liquid crystal driver voltage 944 is outputted synchronizing with the scan selection signal 903 which a scanning circuit 902 generates, and, thereby, can realize the display for one line of a liquid crystal panel 309.

[0150] A movie display becomes possible by repeating the above actuation.

[0151] as having explained above -- this -- in the liquid crystal display of the 2nd operation gestalt, the memory cell 933 with which the data driver LSI 900 is equipped is used only for the still picture display. Therefore, it is not necessary to rewrite a memory cell 933 at a high speed, and low-power-izing is possible. Moreover, the gradation display in a movie display is realized by combining the FRC control by the animation controller, and the Pulse-Density-Modulation control by the data driver. Therefore, animation display (this operation gestalt 32 gradation) of many gradation becomes realizable easily, without increasing the memory space of the data driver LSI 900.

[0152] Next, the liquid crystal display which is the 3rd operation gestalt is explained using drawing 8 thru/or drawing 14 , and drawing 17 .

[0153] With the 3rd operation gestalt, a voltage modulation technique (AM method) is used as a gradation method.

[0154] This whole liquid crystal display configuration is the same as that of the 1st operation gestalt (refer to drawing 1 ) except for the point using the data driver 1400 instead of the data driver 307. this -- the feature in the 3rd operation gestalt is mainly in the data driver LSI 1400. Then, suppose after this that it explains focusing on the data driver LSI 1400.

[0155] Each data driver LSI 1400 is equipped with the display memory (memory cell 1433) equipped

with the capacity which can hold the indicative data of each pixel triplet by 240 lines only 160 \*\*\*\*. Therefore, a 160x240-pixel liquid crystal panel can be displayed with 8 gradation by one data driver LSI 1400. Since a liquid crystal panel 309 is 320x480 pixels, it arranges every (a total of four pieces) two of this data driver LSI 1400 up and down, and performs 2 screen drives of the upper and lower sides of every 240 lines.

[0156] The data driver LSI 1400 is equipped with the address administration circuit 1408, the timing-control circuit 1411, I/O buffer 1419, the display address counter 1421, a selector 1423, the row address decoder 1425, the column address decoder 1429, a data selector 1431, a memory cell 1433, the selector 1437, the shift register 1439, the latch circuit 1441, and the liquid crystal drive circuit 1443 as shown in drawing 8 and drawing 9. Moreover, it has the various signal lines for connecting between these each part (or between other circuit portions), buses 1420, 1432, and 1434, and 1442 grades.

[0157] In addition, the oscillator circuit 402 and power circuit 1404 which were not being omitted and drawn in drawing 1 are also drawn on this drawing 8 and drawing 9.

[0158] The address administration circuit 1408 changes the address 301 into a column address 1409 and a row address 1410 based on control signals 303 and 1401. On the other hand, the address administration circuit 1408 is outputting the row address 1410 for the column address 1409 to the column address decoder 1429 through a selector 1423 to the row address decoder 1425. In addition, a control signal 1401 is for specifying any are the candidates for access at that time among four data drivers LSI 1400.

[0159] The timing-control circuit 1411 generates the various control signals 1412, 1413, 1414, 1416, 1417, 1418, 1427, and 1445 of the data driver LSI 1400 interior from a control signal 303 and the display synchronizing signal 1407. The control signal 1412 is outputted to I/O buffer 1419 among these control signals. The control signal 1413 is outputted to the display address counter 1421. The control signal 1414 is outputted to the selector 1423. The control signal (shift clock) 1416 is outputted to the shift register 1439. The control signal (latch signal) 1417 is outputted to the latch circuit 1441, and is used for controlling the timing which latches an indicative data. The control signal 1418 is outputted to the liquid crystal drive circuit 1443, and is used for controlling alternating current-ization of a liquid crystal drive. The control signal 1427 is outputted to the liquid crystal drive circuit 1443, and is used for controlling the timing of voltage modulation control. The control signal 1445 is outputted to the selector 1437, and is used for this selector 1437 choosing either of the two data buses (a data bus 436, data bus 302) connected to the selector 1437. In addition, the above-mentioned control signal 1401 is inputted also into the timing-control circuit 1411.

[0160] This timing-control circuit 1411 is equipped with the register 14110 with which the information which shows the field where an animation is displayed on a liquid crystal panel 309 was stored. Moreover, the row address 1422 which shows whether reading appearance of the indicative data corresponding to Rhine of what position on a liquid crystal panel 309 should be carried out from a memory cell 1433 is then inputted into this timing-control circuit 1411. The control signal 1445 is generated based on the contents and the row address 1422 of this register 14110. That is, in the animation display field, the control signal 1445 is generated so that an indicative data 1434 (still picture data) may be made to choose as a selector 1437 an indicative data 302 (video data sent from the animation controller 311) by the still picture viewing area on the other hand. Such a point is the focus of this operation gestalt max.

[0161] I/O buffer 1419 controls I/O of indicative datas 302 and 1420 according to a control signal 1412.

[0162] The display address counter 1421 generates the row address 1422 for a display according to a control signal 1413. This display address counter 1421 is outputting this row address 1422 to the timing-control circuit 1411 and the selector 1423.

[0163] A selector 1423 chooses either the row address 1422 for a display or the row addresses 1410 for drawing according to a control signal 1414. This selector 1423 is outputting the selected one to the row address decoder 1425 as a row address 1424.

[0164] The row address decoder 1425 generates the WORD selection signal 1426 by decoding a row address 1424, and outputs this to the gate line of a memory cell 1433.

[0165] The column address decoder 1429 generates a selection signal 1430 based on the column address 1409 which the address administration circuit 1408 outputs. This column address decoder 1429 is outputting this selection signal 1430 to the data selector 1431.

[0166] A data selector 1431 is choosing the data line of the data bus 1432 of a memory cell 1433 according to a selection signal 1430, and controls I/O of the indicative data 1420 to a memory cell 1433.

[0167] A memory cell 1433 is the memory for storing temporarily an indicative data (still picture data), and consists of RAM. The field set as the object of writing/read-out of the indicative data on this memory cell 1433 can be specified now based on an above-mentioned column address and an above-mentioned row address. The memory cell 1433 is equipped with the capacity which can hold the indicative data of each pixel triplet by 240 lines only 160 \*\*\*\* as mentioned above.

[0168] the indicative data 302 (video data) into which the selector 1437 is inputted as the indicative data 1434 (still picture data) from the animation controller 311, and \*\* -- inner either is chosen according to a control signal 1445. That is, in this operation gestalt, by the time the indicative data sent through a data bus 302 results in a selector 1437, the two roots will be prepared. The 1st root is after data bus 302 the root which results in a selector 1437 through I/O buffer 1419, a data selector 1431, a memory cell 1433, and a data bus 1434. The 2nd root is the root which connected the data bus 302 to the selector 1437 directly through the memory cell 1433 grade. During the period which should input the indicative data about the field beforehand set up as an animation display field, the video data is inputted into the data bus 302 from the animation controller 311. Still picture data is inputted into the data bus 302 from CPU304 and the memory 305 grade during the period which should, on the other hand, input the indicative data about the field beforehand set up as a quiescence viewing area. Therefore, in a selector 1437, either of the two roots from a data bus 302 to a selector 1437 can be chosen now according to an indicative data by choosing either a data bus 1434 or the data buses 302 according to a control signal 1445. This selector 1437 is outputted to the shift register 1439 by making into an indicative data 1438 the direction which carried out in this way and was chosen.

[0169] In addition, the concrete internal configuration of the selector 1437 in this operation gestalt is [ the selector 437 in the 1st operation gestalt, and ] the same (refer to drawing 4 ).

[0170] A shift register 1439 is a 12-bit bidirectional shift register, and is operating according to a control signal (shift clock) 1416.

[0171] A latch circuit 1441 latches an indicative data (getting it blocked and synchronizing with the scan selection signal 1403 of a scanning circuit 1402) 1440 according to a control signal (latch signal) 1417. This latch circuit 1441 is outputting the latched data to the liquid crystal drive circuit 1443 as an indicative data 1442.

[0172] The liquid crystal drive circuit 1443 generates the liquid crystal driver voltage 944 corresponding to an indicative data 1442 by the voltage modulation technique. A voltage modulation technique is giving the halftone voltage according to gradation data to the data electrode of a liquid crystal panel 309, and is a method which controls the voltage actual value given to liquid crystal, and realizes a gradation display as it is shown in drawing 17 . In a voltage modulation technique, since the voltage given to a non-selection period differs with the gradation of an indicative data, halftone voltage is set up so that voltage actual value may become fixed at two frames (refer to drawing 17 ). This liquid crystal drive circuit 1443 is enabling 8 gradation displays by the voltage modulation.

[0173] An oscillator circuit 402 generates the display clock 403 for specifying display timing, and supplies it to a scanning circuit 1402.

[0174] A power circuit 1404 generates and supplies liquid crystal panel driver voltage (the supply voltage 405 of 1402 for scanning circuits, supply voltage 1406 for data driver LSI1400).

[0175] In addition, the configuration and actuation of the animation controller 311 are the same as that of the 1st operation gestalt fundamentally (refer to drawing 5 ). however -- this -- unlike the 1st operation gestalt, FRC data is used as the data of each pixel triplet with the 3rd operation gestalt. The multi-gradation display is realized by combining the gradation control by the FRC control which the animation controller 311 performs, and the gradation control by the voltage modulation control which

the data driver LSI 1400 performs. If voltage modulation control performs 8 gradation control and FRC control performs control of 6 or more gradation, the display of 32 or more gradation is realizable with such combination.

[0176] Next, the display action in this operation gestalt is explained.

[0177] Explanation is divided into the display action of a still picture, and the display action of an animation, and is performed.

[0178] About a [display action of still picture] still picture, CPU304 reads and (read access) carries out the indicative data in memory 305, it is what this is written in the memory cell 1433 of the data driver LSI 1400 for (light access), and renewal of an indicative data (drawing) is performed. Access to memory 1433 is performed at random. Access of CPU304 at this time is performed by the SRAM interface. The read/write timing of a SRAM interface is as having been shown in drawing 10 and drawing 11.

[0179] Hereafter, the writing of the indicative data to the memory cell 1433 of the data driver LSI 1400 and read-out of the indicative data from a memory cell 1433 are explained.

[0180] First, the writing of the indicative data to a memory cell 1433 is explained.

[0181] The read/write address from a system (CPU304 grade) is inputted into the address administration circuit 1408 of the data driver LSI 1400 through an address bus 301. As for the address administration circuit 1408 of each data driver LSI 1400, based on a control signal 1401, access at that time judges whether it is a thing to its data driver LSI 1400 which belongs, respectively. When it is access to the data driver LSI 1400 to which oneself belongs as a result of this judgment, the address 301 inputted at this time is changed into a column address 1409 and a row address 1410.

[0182] The column address decoder 1429 decodes this column address 1409. A data selector 1431 chooses the data line of the corresponding address based on this decoding result.

[0183] On the other hand, a selector 1423 chooses a row address 1410 and outputs it to the row address decoder 1425 as a row address 1424. The row address decoder 1425 decodes this row address 1424, and chooses one gate line according to a decoding result. Thereby, CPU304 can access the predetermined bit on the memory cell 1433 which becomes settled by the data line and the gate line which are then chosen, and can transmit an indicative data to the predetermined address.

[0184] Next, read-out (display action) of the indicative data from a memory cell 1433 is explained.

[0185] The timing-control circuit 1411 is checking the contents and the row address 1422 of a register 14110, and knows displaying the still picture field at this time. Therefore, the timing-control circuit 1411 is outputting a value as which a selector 1437 chooses a data bus 1434 as a control signal 1445 at this time. A selector 1437 chooses a data bus 1434 according to this control signal 1445, and outputs the data (each pixel triplet and one line) by which reading appearance has been carried out from the memory cell 1433 through this data bus 1434 as an indicative data 1438.

[0186] A shift register 1439 latches an indicative data 1438 a level period. The latch circuit 1441 following this is the following level period, latches the indicative data 1440 which a shift register 1439 outputs, and outputs it to the liquid crystal drive circuit 1443 as an indicative data 1442. The liquid crystal drive circuit 1443 outputs the liquid crystal driver voltage 1444 which performed voltage modulation (AM) control according to this indicative data 1442 to a liquid crystal panel 309. The output of the liquid crystal driver voltage 1444 is outputted synchronizing with the scan selection signal 1403 which a scanning circuit 1402 generates, and, thereby, can realize the display for one line of a liquid crystal panel 309.

[0187] The display of a still picture is attained by repeating the above actuation.

[0188] In displaying a [display action of animation] animation, a multi-gradation display and the fast transfer of an indicative data are needed in practice. Since the data driver LSI 1400 of this operation gestalt corresponds to this, it performs the following drawing actuation.

[0189] A video data performs animation expanding processing from animation compressed data by the animation controller 311 and CPU304, and develops it to an indicative data. As for the developed indicative data, the animation controller 311 performs FRC control.

[0190] By the way, the animation controller 311 is also equipped with the register (control register circuit 505 in drawing 5) which stored the information which shows an animation field. The animation

controller 311 can know whether the animation display field is then set as the object of display processing by checking the contents of this register etc. When the animation display field is then set as the object of display processing, the animation controller 311 performs above-mentioned FRC control. And the FRC data of every one line of each pixel triplet obtained as a result is serially sent to the data driver LSI 1400 through a data bus 302 one by one.

[0191] It gets to know that it is an animation display field that the timing-control circuit 1411 of the data driver LSI 1400 is also then set as the object of display processing by checking the contents and the row address 1422 of a register 14110 similarly. Therefore, let the timing-control circuit 1411 be the value as which a selector 1437 chooses a data bus 302 for the control signal 1445 at this time. Consequently, a selector 1437 chooses the FRC data sent from the animation controller 311 through a data bus 302, and is made to output it to a shift register 1439. The output of the liquid crystal driver voltage 444 to which this voltage modulation control was performed will be performed like the case of a still picture after this. Thus, the display of 32 or more gradation is realizable by combining 8 gradation control by the voltage modulation technique, and the control of 6 or more gradation by the FRC gradation method.

[0192] Next, the timing of the animation data transfer to the data driver LSI 1400 and the timing of processing within the data driver LSI 1400 of this video data are further explained to details using drawing 12, drawing 13, and drawing 14 from the animation controller 311.

[0193] In explanation here, the field ( $n < m$ ) from  $n$  lines of a liquid crystal panel 309 to  $m$  lines shall be set up as an animation display field in the register 4110 of the timing-control circuit 411 (refer to drawing 12).

[0194] The animation display data transfer from the animation controller 311 to the data driver 1400 is the same as that of the 1st operation gestalt.

[0195] The animation display data of every one line of each pixel triplet is transmitted to the data driver LSI 1400 from the animation controller 311 through a data bus 302 at a serial. In drawing 13, CL1 is a synchronizing signal showing a level period, and is a signal included in the display synchronizing signal 1407 (refer to drawing 8 and drawing 9).

[0196] The timing-control circuit 1411 is outputted to the display address counter 1421 by making this CL1 into a control signal 1413. The display address counter 1421 counts this control signal 1413 (CL1), and is outputting that counted value to the selector 1423 as a row address 1422 for a display.

[0197] Although the selector 1437 has changed the selection condition according to the control signal 1445, the selection condition has the counted value and the following relation of the display address counter 1421. That is, when the counted value of the display address counter 1421 is  $n-1$ , the selector 1437 has chosen the data bus 1434 (that is, the indicative data of the  $n-1$ st line stored in the memory cell 1433) (when it is not an animation display field). When the counted value of the display address counter 1421 is  $n$ , the selector 1437 has chosen the data bus 302 (that is, indicative data sent from the animation controller 311) (when it is an animation display field). Thus, in an animation display field, a selector 1437 chooses a data bus 302 (indicative data from the animation controller 311), and the indicative data of a memory cell 1433 is chosen except an animation display field.

[0198] Moreover, actuation of the animation controller 311 also has actuation and the following relation of a selector 1437 and the display address counter 1421. That is, when the display address counter 1421 counts ( $n-1$ ), the animation controller 311 carries out the sequential transfer of the indicative data of the  $n$ -th line.

[0199] In the data driver LSI 1400, the data (one line) of the  $n$ -th line with which the shift register 1439 has been sent from this animation controller 311 to the timing shown in drawing 14 is incorporated. That is, a shift register 1439 is the shift clock 1416 which synchronized with WE signal, and incorporates an indicative data 1438 (the data of the  $n$ -th line sent from the animation controller 311) by one line one by one (notes: at this time, the selector 1437 is made into the condition of having chosen the data bus 302 as already stated). In addition, the transfer of the indicative data from the animation controller 311 is performed synchronizing with WE signal (write enable signal) in drawing 14. A shift register 1439 transmits the data incorporated to such timing to a latch circuit 1441 as an indicative data 1440.

[0200] A latch circuit 1441 latches this indicative data 1440 synchronizing with the CL1 following

signal, and transmits it to the liquid crystal drive circuit 1443 as an indicative data 1442 (refer to drawing 13 ). The liquid crystal drive circuit 1443 generates and outputs the liquid crystal driver voltage 1444 which performed the voltage modulation corresponding to this indicative data 1442 (each pixel triplet). The output of the liquid crystal driver voltage 1444 is outputted synchronizing with the scan selection signal 1403 which a scanning circuit 1402 generates, and, thereby, can realize the display for one line of a liquid crystal panel 309.

[0201] A movie display becomes possible by repeating the above actuation.

[0202] as having explained above -- this -- in the liquid crystal display of the 3rd operation gestalt, the memory cell 1433 with which the data driver LSI 1400 is equipped is used only for the still picture display. Therefore, it is not necessary to rewrite a memory cell 1433 at a high speed, and low-power-izing is possible. Moreover, the gradation display in a movie display is realized by combining the FRC control by the animation controller, and the voltage modulation control by the data driver. Therefore, animation display (this operation gestalt 32 gradation) of many gradation becomes realizable easily, without increasing the memory space of the data driver LSI 1400.

[0203] the 1- described above -- with the 3rd operation gestalt, although the number of outputs of a data driver was set to 160, the number of outputs is not limited to this. It can respond easily only by changing the configuration of memory, an output circuit, etc. corresponding to the number of outputs. Moreover, other combination of gradation control of FRC, Pulse Density Modulation, and a voltage modulation can respond easily.

[0204] The configuration of the 1st, 2nd, and 3rd operation gestalt mentioned above may be combined, respectively. For example, it may be made to perform gradation control by a total of three places of location [ just behind a memory cell ], animation controller, and liquid crystal drive circuit \*\*.

[0205] If the data driver and liquid crystal display which were described above are used, power consumption will be small and the possible information processor of a multi-gradation display and a movie display will be obtained.

[0206] With the "data bus" said in a claim, it is equivalent to a data bus 302 in an above-mentioned operation gestalt. With an "address bus", it is equivalent to an address bus 301. It is equivalent to the address administration circuit 408 (908 1408), the column address decoder 429 (929 1429), a selector 431 (931 1431), I/O buffer 419 (919 1419), a memory cell 433 (933 1433), the row address decoder 425 (925 1425), a selector 423 (923 1423), a data bus 436 (934 1434), etc. at a "data-processing system." With "display memory", it is equivalent to a memory cell 433 (933 1433). With an "output bus", it is equivalent to a data bus 436 (934 1434). With "the 1st gradation control circuit", it is equivalent to the FRC data circuit 427 and the FRC selector 435. With a "selection means", it is equivalent to the timing-control circuit 411 (911 1411), a selector 437 (937 1437), the display address counter 421 (921 1421), etc. "memory" -- a register 4110 (9110 14110) -- moreover, "selection information" is equivalent to the setting information which shows the animation field stored in these registers 4110 (9110 14110). With a "directions circuit", it is equivalent to a timing-control circuit (911 1411) and the display address counter 421 (921 1421). With "selection directions", it is equivalent to a control signal 445 (945 1445). It is [ "selector" ] equivalent to a shift register 439 (939 1439), a latch circuit 441 (941 1441), and the liquid crystal drive circuit 443 (943 1443) with a selector 437 (937 1437) "a voltage-output means." With "the 2nd gradation control circuit", it is equivalent to the portion about the gradation control included in the liquid crystal drive circuit 943 (1443). With a "data controller", it is equivalent to the animation controller 311. With "the 3rd control circuit", it is equivalent to the FRC control circuit 506.

[0207] However, the definition which each part of the above cooperates closely mutually, operates, and was described here is not strict.

[0208]

[Effect of the Invention] According to this invention, a multi-gradation display and a movie display are possible, without making the display memory capacity built in a data driver increase as explained above. Moreover, since display memory is built in the data driver, access frequency of display memory can be low-speed-ized about a still picture (it is 1 time to a level period). Therefore, low cost and low-power-ization can be reconciled. Since the number of gradation displays carries out FRC control by the external

controller, it can be set as arbitration regardless of the data driver LSI. If the data driver of this invention and a liquid crystal display are used, power consumption will be small and the possible information processor of a multi-gradation display and a movie display will be obtained.

---

[Translation done.]





## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09281933 A**(43) Date of publication of application: **31.10.97**

(51) Int. Cl.

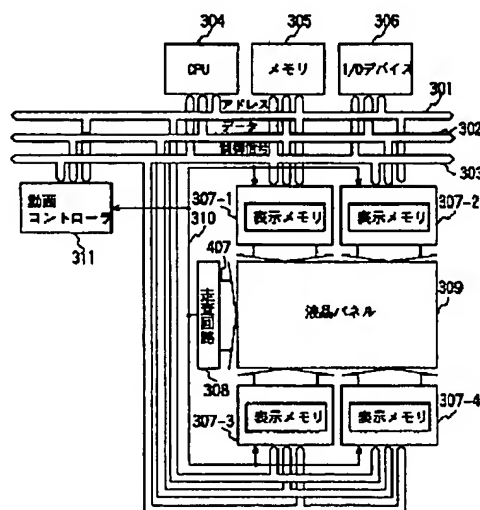
**G09G 3/36****G02F 1/133**(21) Application number: **08095401**(22) Date of filing: **17.04.96**(71) Applicant: **HITACHI LTD**(72) Inventor:  
**NITTA HIROYUKI**  
**FURUHASHI TSUTOMU**  
**OISHI SUMIHISA**  
**TSUNEKAWA SATORU**(54) **DATA DRIVER AND LIQUID CRYSTAL DISPLAY  
DEVICE AND INFORMATION PROCESSING  
DEVICE USING IT.**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display device which realizes a multi-gradation display and a moving video picture display which reducing the power consumption and the cost.

**SOLUTION:** Still-frame picture data are transferred from the CPU 304 to memory in a data driver 307 (307-1 to 307-4). Moving video picture data which require multi-gradation display are processed by a moving video picture driver 311 and sent to the data driver 307 through a panel 302. The regions of still-frame picture and moving picture in a liquid crystal panel 309 are preset in a register. In the still-frame picture display region, a selector selects the still-frame picture data sent from the memory. In the moving picture display region, the selector selects the moving picture data sent from the bus 302. The register, the latch, and the liquid crystal drive circuit impresses liquid crystal drive voltage on the data line of the liquid crystal panel 309 based on the data outputted by the selector.



特開平 9 - 2 8 1 9 3 3

(43)公開日 平成 9 年 ( 1 9 9 7 ) 1 0 月 3 1 日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G09G 3/36			G09G 3/36	
G02F 1/133	575		G02F 1/133	575

審査請求 未請求 請求項の数 1 3 O L (全 2 7 頁)

(21)出願番号 特願平 8 - 9 5 4 0 1

(22)出願日 平成 8 年 ( 1 9 9 6 ) 4 月 1 7 日

(71)出願人 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 新田 博幸

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地

株式会社日立製作所システム開発研究所  
内

(72)発明者 古橋 勉

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地

株式会社日立製作所システム開発研究所  
内

(74)代理人 弁理士 富田 和子

最終頁に続く

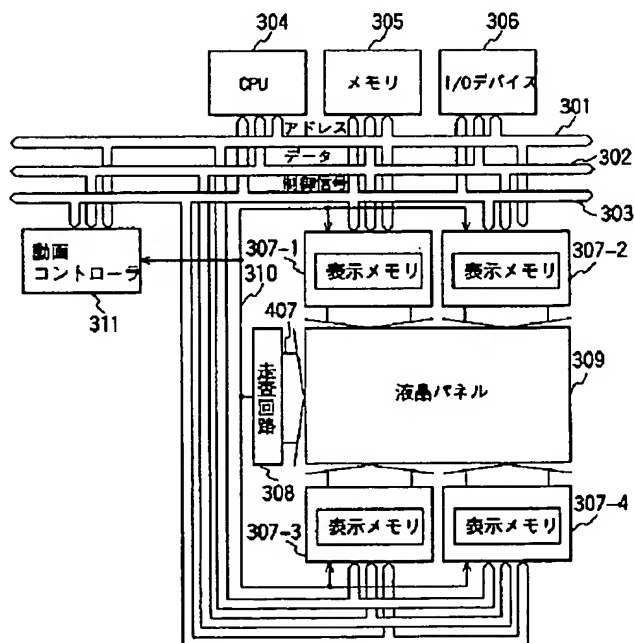
(54)【発明の名称】 データドライバ及びこれを用いた液晶表示装置、情報処理装置

(57)【要約】

【課題】 低消費電力化、低価格化を図りつつ、多階調表示、動画表示のできる液晶表示装置を実現する。

【解決手段】 静止画データは、CPU 304からデータドライバ307内のメモリ433に転送する。多階調表示が必要な動画データは、動画ドライバ311で処理した後、バス302を通じてデータドライバ307に送る。液晶パネル309における静止画／動画領域は、レジスタ4110に設定しておく。セクタ437は静止画表示領域では、メモリ433から送られてくる静止画データを選択する。動画表示領域では、バス302から送られてくる動画データを選択する。レジスタ439、ラッチ441、液晶駆動回路443はセクタ437の出力するデータに基づいて液晶パネル309のデータ線に液晶駆動電圧を印加する。

図1



## 【特許請求の範囲】

【請求項 1】液晶パネルのデータ線に印加する液晶駆動電圧を外部から入力される表示データに応じて出力するデータドライバにおいて、

外部から表示データを入力されるデータバスと、

外部からアドレスを入力されるアドレスバスと、

表示データを記憶するための表示メモリおよび該表示メモリから読み出されたデータを出力するための出力バスを備え、上記データバスを通じて入力された表示データを、上記アドレスバスを通じて入力された上記アドレスに基づいて定まる上記表示メモリ上の領域に一旦格納し、その後、該表示メモリに格納した表示データを別途定められた順に読み出して上記出力バスを通じて出力するデータ処理系と、

上記データ処理系の出力バスと上記データバスとのうちのいずれか一方を選択する選択手段と、

上記選択手段によって選択されている方のバスを通じて送られてくるデータに応じた液晶駆動電圧を出力する電圧出力手段と、

を有することを特徴とするデータドライバ。

【請求項 2】上記選択手段は、

選択の基準となる選択情報を格納するメモリと、

上記選択情報に従った選択指示を出力する指示回路と、

上記指示回路からの指示に従って、上記データバスまたは上記データ処理系の出力バスのいずれかを選択するセレクタと、

を含んで構成されるものであることを特徴とする請求項 1 記載のデータドライバ。

【請求項 3】上記選択情報は、上記液晶パネル上における領域を規定したものであり、

上記指示回路は、上記選択情報によって規定された領域に対して出力されるべきデータが上記データバスを通じて送られてくる期間中は上記データバスを選択する指示を出し、それ以外の時には上記データ処理系の出力バスを選択する指示を出すものであること、

を特徴とする請求項 2 記載のデータドライバ。

【請求項 4】上記選択情報は、上記液晶パネル上における動画を表示する領域を規定したものであること、

を特徴とする請求項 3 記載のデータドライバ。

【請求項 5】上記データ処理系は、上記表示メモリから読み出された表示データに基づいて階調制御を行う第 1 の階調制御回路を有し、該第 1 の階調制御回路による階調制御の行われた後のデータを上記出力バスを通じて出力するものであること、

を特徴とする請求項 1、2、3 または 4 記載のデータドライバ。

【請求項 6】上記第 1 の階調制御回路は、上記階調制御を FRC 方式で行うものであること、

を特徴とする請求項 5 記載のデータドライバ。

【請求項 7】上記電圧出力手段は、上記選択手段によ

て選択されている方のバスを通じて送られてくる上記データに基づいて階調制御を行う第 2 の階調制御回路を有し、該第 2 の階調制御回路による階調制御によって得られた電圧を上記液晶駆動電圧として出力するものであること、

を特徴とする請求項 1、2、3、4、5 または 6 記載のデータドライバ。

【請求項 8】上記第 2 の階調制御回路は、上記階調制御を PWM 方式、または、AM 方式で行うものであること、

を特徴とする請求項 7 記載のデータドライバ。

【請求項 9】請求項 1、2、3、4、5、6、7 または 8 記載のデータドライバと、

表示データを処理するデータコントローラとを備え、

上記データコントローラは、上記処理の結果を上記データバスを通じてデータを上記データドライバに出力するものであること、

を特徴とする液晶表示装置。

【請求項 10】上記データコントローラは、表示データに対して階調制御を行う第 3 の階調制御回路を備え、該第 3 の階調制御回路による階調制御によって得られたデータを出力するものであること、

を特徴とする請求項 9 記載の液晶表示装置。

【請求項 11】上記第 3 の階調制御回路は、上記階調制御を FRC 方式で行うものであること、

を特徴とする請求項 10 記載の液晶表示装置。

【請求項 12】上記第 1 の階調制御回路による階調制御と、上記第 2 の階調制御回路による階調制御と、上記第 3 の階調制御回路による階調制御と、のうちの少なくとも 2 つを組み合わせることで階調表示を行うこと、

を特徴とする請求項 10 記載の液晶表示装置。

【請求項 13】請求項 10、11 または 12 記載の液晶表示装置を備えたことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データドライバ及びこれを用いた液晶表示装置、情報処理装置に関する。

【0002】

【従来の技術】液晶表示装置には、表示品質の向上のみならず、携帯型機器への搭載を目的として低消費電力化が強く望まれている。そのため、表示メモリをデータドライバ LSI に内蔵し、表示データを格納したメモリへのアクセス周波数を低速化することで、低消費電力化を図っていた。以下、このような従来の液晶表示装置について、図 18、図 19、図 20 を用いて説明する。

【0003】図 18 は従来のメモリ内蔵液晶ドライバを用いたシステム構成図、図 19 は液晶表示装置の主要部構成図、図 20 はメモリ内蔵液晶ドライバの詳細な構成図である。ここに示したのは、160 出力のデータドライバ LSI 107 を 4 個用いて、320×480 ドット

10

20

30

40

50

の液晶パネル 1 0 9 を駆動する液晶表示装置である。

【 0 0 0 4 】 図 1 8 において、符号 " 1 0 1 " を付したのはアドレスバスである。同様に " 1 0 2 " はデータバス、" 1 0 3 " は制御信号線、" 1 0 4 " は CPU、" 1 0 5 " はメモリ、" 1 0 6 " は I / O デバイス、" 1 0 7 - 1 " ~ " 1 0 7 - 4 " は表示メモリを内蔵したデータドライバ L S I、" 1 0 8 " は走査回路、" 1 0 9 " は液晶パネル、" 1 1 0 " は表示同期信号用の信号線を指している。なお、データドライバ L S I 1 0 7 - 1 ~ 1 0 7 - 4 を総称して、単に、データドライバ L S I 1 0 7 と呼ぶことがある。

【 0 0 0 5 】 図 1 9、図 2 0 において、符号 " 2 0 1 " を付したのは表示用発振回路である。同様に、" 2 0 2 " は液晶ドライバの電源回路、" 2 0 3 - 1 " ~ " 2 0 3 - 4 " はデータドライバ L S I 1 0 7 - 1 ~ 1 0 7 - 4 の配置位置を示す制御信号を送信する信号線である。以下、制御信号 2 0 3 - 1 ~ 2 0 3 - 4 を総称して、単に、制御信号 2 0 3 と呼ぶことがある。" 2 0 4 " は表示制御信号を送信するための信号線、" 2 0 5 " は走査回路用の電源電圧を供給するための線、" 2 0 6 " はデータドライバ L S I 1 0 7 用の電源電圧を供給するための線を指している。" 2 0 7 " は制御信号 2 0 3 に対応したアドレス制御を行うアドレス管理回路、" 2 0 8 " はアドレス管理回路 2 0 7 によるアドレス制御によって得られたカラムアドレスを送信するための信号線、" 2 0 9 " はアドレス管理回路 2 0 7 でアドレス制御を行った表示メモリのロウアドレスを送信するための信号線、" 2 1 0 " は制御信号 1 0 3 に基づいてデータドライバ L S I 1 0 7 内部の各種制御信号を生成するタイミング制御回路、" 2 1 1 " は表示データの入出力を制御する制御信号を送信するための信号線、" 2 1 2 " は表示用のロウアドレス 2 1 8 の制御を行う制御信号を送信するための信号線、" 2 1 3 " はセレクト 2 2 1 を制御する制御信号を送信するための信号線、" 2 1 4 " はラッチ信号を送信するための信号線、" 2 1 5 " は液晶駆動の交流化を制御する制御信号を送信するための信号線、" 2 1 7 " は表示アドレスを生成する表示アドレスカウンタ、" 2 1 8 " は表示用のロウアドレスを送信するための信号線、" 2 1 9 " はデータの双方向制御を行う I / O バッファ、" 2 2 0 " はデータを伝送するためのデータバスを指している。" 2 2 1 " は、表示用のアドレスと、システム ( CPU 1 0 4 等 ) から送られてきたアドレスとのうちのいずれかを選択するセレクト、" 2 2 2 " はセレクト 2 2 1 が選択し出力するロウアドレスを送信するための信号線を指している。" 2 2 3 " はカラムアドレスデコード、" 2 2 4 " はカラムアドレスデコード 2 2 3 が生成した選択信号を送信するための信号線、" 2 2 5 " は表示メモリ 2 2 9 のデータセレクト、" 2 2 6 " は表示メモリ 2 2 9 のデータバスを指している。" 2 2 7 " はロウアドレス

デコードを指している。" 2 2 9 " は表示データを保持する表示メモリ ( メモリセル、RAM )、" 2 3 0 " は表示メモリ 2 2 9 からの表示データバス、" 2 3 1 " は F R C データを制御する制御信号を送信するための信号線、" 2 3 2 " は F R C のデータを生成する F R C データ回路、" 2 3 3 " は F R C データを送信するための信号線、" 2 3 4 " は表示データ 2 3 0 に対応して F R C データを選択する F R C セレクト、" 2 3 5 " は F R C セレクト 2 3 4 で選択した表示データを伝送するためのデータバス、" 2 3 6 "、" 2 3 8 " は表示データをラッチするラッチ回路、" 2 3 7 "、" 2 3 9 " は表示データバス、" 2 4 0 " は表示データに基づいて液晶駆動電圧を生成する液晶駆動回路、" 2 4 1 " は液晶駆動電圧を供給するための線を指している。

【 0 0 0 6 】 本明細書中においては、信号、データ等を、当該信号等を伝送する信号線、バスに付した符号を付けて呼ぶことがある。例えば、信号線 1 1 0 を通じて伝送される表示同期信号を、" 表示同期信号 1 1 0 " と呼ぶことがある。また、表示データバス 2 3 5 を通じて伝送される表示データを、" 表示データ 2 3 5 " と呼ぶことがある。

【 0 0 0 7 】 この液晶表示装置の駆動動作を図 1 8 を用いて説明する。

【 0 0 0 8 】 表示データは、CPU 1 0 4 による制御に従って、メモリ 1 0 5 や I / O デバイス 1 0 6 からデータドライバ L S I 1 0 7 の表示メモリに描画される。このメモリ 1 0 5 からデータドライバ L S I 1 0 7 への表示データの描画動作は以下のようにして行われる。

【 0 0 0 9 】 CPU 1 0 4 は、メモリ 1 0 5 に対しリードアドレス、制御信号を出力することでメモリ 1 0 5 のデータを一旦 CPU 1 0 4 のレジスタに取り込む、リードサイクルを実行する。続いて、CPU 1 0 4 はデータドライバ L S I 1 0 7 に対しライトアドレス、制御信号を出力することで一旦 CPU 1 0 4 のレジスタに取り込んだデータをデータドライバ L S I 1 0 7 の表示メモリに書き込む、ライトサイクルを実行する。CPU 1 0 4 は、この動作を繰り返すことでメモリ 1 0 5 の表示データをデータドライバ L S I 1 0 7 の表示メモリに転送し表示データの更新 ( 描画 ) を行う。

【 0 0 1 0 】 更に、図 1 9、図 2 0 を用いてデータドライバ L S I 1 0 7 の詳細な動作について説明する。

【 0 0 1 1 】 各データドライバ L S I 1 0 7 は、それぞれパネルの配置位置を示す制御信号 2 0 3 によって液晶パネル 1 0 9 に対しての配置位置が設定されている。

【 0 0 1 2 】 このため CPU 1 0 4 からのアドレスに対して、4 つのデータドライバ L S I 1 0 7 はいずれがアクセスされているかを、制御信号 2 0 3 に基づいて判定している。CPU 1 0 4 からのライトアドレスを受けると、アドレス管理回路 2 0 7 は当該アドレスが自らの属するデータドライバ L S I 1 0 7 の担当するアドレスで

あるか否かを判定する。判定の結果、自らの属するデータドライバ L S I 1 0 7 の担当するアドレスであった場合には、当該アドレスを表示メモリ 2 2 9 のアドレス（カラムアドレス 2 0 8、ロウアドレス 2 0 9）に変換し、これをカラムアドレスデコーダ 2 2 3、セクタ 2 2 1 に出力する。

【 0 0 1 3 】 C P U 1 0 4 からのライトサイクルの時には、セクタ 2 2 1 はロウアドレス 2 0 9 を選択しこれをロウアドレスデコーダ 2 2 7 に出力する。すると、ロウアドレスデコーダ 2 2 7 は、そのアドレスに対応した表示メモリ 2 2 9 のゲート線を選択する。一方、カラムアドレスデコーダ 2 2 3 は、カラムアドレス 2 0 8 に対応したデータセクタ 2 2 5 を有効にすることで、表示メモリ 2 2 9 のデータ線を選択する。これにより、 I / O バッファ 2 1 9 からのライトデータ 2 2 0 を表示メモリ 2 2 9 の所定のアドレスに書き込むことができる。以上の動作を繰り返すことで表示データの更新（描画）を行う。

【 0 0 1 4 】 表示メモリ 2 2 9 には、 1 画面分 × 2 ビット（ 4 階調）の表示データが保持されている。

【 0 0 1 5 】 表示メモリ 2 2 9 からの表示データの読み出しの際には、セクタ 2 2 1 は表示アドレスカウンタ 2 1 7 で生成したロウアドレス（表示アドレス） 2 1 8 を選択する。これにより、その時の表示アドレス 2 1 8 によって指定されているアドレスの表示データが、 F R C セクタ 2 3 4 によって順次 1 ライン分づつ読み出される。この読み出しは、水平同期信号に同期して行われる。 F R C セクタ 2 3 4 は、読み出した表示データを、 1 ビットの表示データ 2 3 5 としてラッチ回路 2 3 6 に出力する。この表示データ 2 3 5 は、ラッチ回路 2 3 6、 2 3 8 によって、表示データ 2 3 7、 2 3 9 として順次転送されて、液晶駆動回路 2 4 0 に入力される。液晶駆動回路 2 4 0 は、この表示データ 2 3 9 に対応した液晶駆動電圧 2 4 1 を生成し、液晶パネル 1 0 9 を駆動する。

【 0 0 1 6 】 走査回路 1 0 8 はこれに同期して、液晶パネル 1 0 9 のゲート線を 1 ラインずつ順次有効にしてゆく。これにより表示が行われることになる。

【 0 0 1 7 】 なお、ここでは、ラッチ回路を 2 段に構成し（ラッチ回路 2 3 6、ラッチ回路 2 3 8）、それぞれの動作タイミングをラッチ信号 2 1 4、 2 1 5 によって制御することで、 C P U 1 0 4 からのアクセス（表示メモリ 2 2 9 への書き込み）と表示動作（表示メモリ 2 2 9 からの読み出し）とが競合した時の調停動作を行っている。

【 0 0 1 8 】

【発明が解決しようとする課題】ところで、近年、マルチメディア技術の発展に伴って、動画の表示が要求されるようになってきている。動画を表示するためには、実用上、 3 2 階調以上の多階調表示が必須となる。 1 画素

3 2 階調の表示を行うためには 1 画素 5 ビットの表示データが必要となる。そして、これを上記従来技術で実現するには、データドライバ L S I に内蔵するメモリの容量を増加させなければならない。

【 0 0 1 9 】 しかし、内蔵するメモリの容量を増加させるとチップサイズが増大し、低価格化を図ることが困難となる。また、動画の描画データは 1 秒間に 3 0 フレーム以上の更新が必要であるが、そのためにはフレーム毎にデータを転送しなければならず、メモリの高速な書換が必須となる。階調数が増えればデータ量も増えるため、階調数が増大する従って書換はさらに高速化が要求されるようになる。このような高速化は消費電力の増大につながる。このように従来技術では低消費電力化と低コスト化を共に実現することが困難であった。

【 0 0 2 0 】 本発明は、低コストおよび低消費電力を実現しつつ、動画表示に対応可能なデータドライバおよびこれを用いた液晶表示装置、情報処理装置を提供することを目的とする。

【 0 0 2 1 】

【課題を解決するための手段】本発明では、データドライバとは別に動画コントローラを設け、動画処理、液晶多階調表示のための処理をここで行うようにする。静止画の表示には、データドライバ内の表示メモリを通じて処理したデータを用いる。一方、動画の表示には、動画コントローラから送られてくるデータを用いる。表示領域に応じて両者を切り替えて使用することで、消費電力の増大、表示メモリの容量の増大を招くことなく動画に対応できる。つまり、表示画面が変化しない静止画では表示メモリのアクセス周波数を低速化できる（表示メモリから 1 ライン分づつ読み出すようにすれば、表示メモリへのアクセスは水平期間に 1 回で足りる）。一方、動画表示では、処理を動画コントローラに行わせることで、データドライバに内蔵する表示メモリ容量を増加させる必要はない。また、動画コントローラで階調制御の処理を行うため、階調表示数がデータドライバのみによって制限されることはない。データドライバによる階調制御と、動画コントローラによる階調制御とを組み合わせれば、階調表示数をより多くできる。

【 0 0 2 2 】 本発明の構成をより具体的に述べれば以下の通りである。

【 0 0 2 3 】 本発明の第 1 の態様としては、液晶パネルのデータ線に印加する液晶駆動電圧を外部から入力される表示データに応じて出力するデータドライバにおいて、外部から表示データを入力されるデータバスと、外部からアドレスを入力されるアドレスバスと、表示データを記憶するための表示メモリおよび該表示メモリから読み出されたデータを出力するための出力バスを備え、上記データバスを通じて入力された表示データを、上記アドレスバスを通じて入力された上記アドレスに基づいて定まる上記表示メモリ上の領域に一旦格納し、その

後、該表示メモリに格納した表示データを別途定められた順に読み出して上記出力バスを通じて出力するデータ処理系と、上記データ処理系の出力バスと上記データバスとのうちのいずれか一方を選択する選択手段と、上記選択手段によって選択されている方のバスを通じて送られてくるデータに応じた液晶駆動電圧を出力する電圧出力手段と、を有することを特徴とするデータドライバが提供される。

【 0 0 2 4 】 上記選択手段は、選択の基準となる選択情報を格納するメモリと、上記選択情報に従った選択指示を出力する指示回路と、上記指示回路からの指示に従って、上記データバスまたは上記データ処理系の出力バスのいずれかを選択するセレクトと、を含んで構成されるものであることが好ましい。

【 0 0 2 5 】 上記選択情報は、上記液晶パネル上における領域を規定したものであり、上記指示回路は、上記選択情報によって規定された領域に対して出力されるべきデータが上記データバスを通じて送られてくる期間中は上記データバスを選択する指示を出し、それ以外の時には上記データ処理系の出力バスを選択する指示を出すものであることが好ましい。

【 0 0 2 6 】 上記選択情報は、上記液晶パネル上における動画を表示する領域を規定したものであってもよい。

【 0 0 2 7 】 上記データ処理系は、上記表示メモリから読み出された表示データに基づいて階調制御を行う第 1 の階調制御回路を有し、該第 1 の階調制御回路による階調制御の行われた後のデータを上記出力バスを通じて出力するものであってもよい。

【 0 0 2 8 】 上記第 1 の階調制御回路は、上記階調制御を F R C 方式で行うものであってもよい。

【 0 0 2 9 】 上記電圧出力手段は、上記選択手段によって選択されている方のバスを通じて送られてくる上記データに基づいて階調制御を行う第 2 の階調制御回路を有し、該第 2 の階調制御回路による階調制御によって得られた電圧を上記液晶駆動電圧として出力するものであってもよい。

【 0 0 3 0 】 上記第 2 の階調制御回路は、上記階調制御を P W M 方式、または、 A M 方式で行うものであってもよい。

【 0 0 3 1 】 本発明の第 2 の態様としては、上述した第 1 の態様のデータドライバと、表示データを処理するデータコントローラとを備え、上記データコントローラは、上記処理の結果を上記データバスを通じてデータを上記データドライバに出力するものであることを特徴とする液晶表示装置が提供される。

【 0 0 3 2 】 上記データコントローラは、表示データに対して階調制御を行う第 3 の階調制御回路を備え、該第 3 の階調制御回路による階調制御によって得られたデータを出力するものであることが好ましい。

【 0 0 3 3 】 上記第 3 の階調制御回路は、上記階調制御

を F R C 方式で行うものであってもよい。

【 0 0 3 4 】 上記第 1 の階調制御回路による階調制御と、上記第 2 の階調制御回路による階調制御と、上記第 3 の階調制御回路による階調制御と、のうちの少なくとも 2 つを組み合わせることで階調表示を行ってもよい。

【 0 0 3 5 】 本発明の第 3 の態様としては、上述の第 2 の態様の液晶表示装置を備えたことを特徴とする情報処理装置が提供される。

【 0 0 3 6 】 上述した各態様の作用についてまとめて説明する。

【 0 0 3 7 】 データ処理系では、データバスを通じて入力された表示データを、表示メモリに一旦格納する。この時の格納領域は、アドレスバスを通じて入力されたアドレスに基づいて定められる。その後、表示メモリに格納した表示データを別途定められた順に読み出して出力バスを通じて出力する。なお、データ処理系が第 1 の階調制御回路を有している場合には、出力バスには、表示メモリから読み出した表示データに対してこの第 1 の階調制御回路による階調制御（例えば、F R C 方式による階調制御）の行われた後のデータを出力する。

【 0 0 3 8 】 データコントローラは、表示データを処理した結果をデータバスを通じてデータをデータドライバに出力する。なお、データコントローラが第 3 の階調制御回路を有している場合には、この第 3 の階調制御回路による階調制御（例えば、F R C 方式による階調制御）によって得られたデータを出力する。

【 0 0 3 9 】 選択手段は、データ処理系の出力バスと、データバスとのうちのいずれか一方を選択する。この選択手段は、指示回路が出力する、選択情報に従った選択指示に従って、セレクトがデータバスまたはデータ処理系の出力バスのいずれかを選択することで実現できる。この選択情報が液晶パネル上における領域（例えば、動画表示領域）を規定したものである場合には、指示回路は、この選択情報によって規定された領域に対して出力されるべきデータがデータバスを通じてデータコントローラから送られてくる期間中、データバスを選択する指示を出す。それ以外の時にはデータ処理系の出力バスを選択する指示を出す。

【 0 0 4 0 】 電圧出力手段は、選択手段によって選択されている方のバスを通じて送られてくるデータに応じた液晶駆動電圧を出力する。なお、電圧出力手段が第 2 の階調制御回路を有している場合には、入力されたデータに対してこの第 2 の階調制御回路による階調制御（例えば、P W M 方式、または、A M 方式による階調制御）を行うことで得られた電圧を液晶駆動電圧として出力する。

【 0 0 4 1 】

【 発明の実施の形態 】 本発明の実施形態を図面を用いて説明する。

【 0 0 4 2 】 本発明の第 1 の実施形態である液晶表示装

図を図1乃至図5、図10乃至図15を用いて説明する。

【0043】まず、概要を図1を用いて説明する。

【0044】この液晶表示装置は、320×480画素の液晶パネル309と、データドライバLSI307-1〜307-4と、走査回路308と、動画コントローラ311と、CPU304と、メモリ305と、I/Oデバイス306とから構成されている。そして、これら各部間は、アドレスバス301、データバス302、制御信号線303、表示同期信号線310によって接続されている。なお、これ以降の説明においては、データドライバLSI307-1〜307-4を総称して、単に、“データドライバLSI307”と呼ぶことがある。また、本明細書中、信号を当該信号を伝送する信号線の符号を付して呼ぶことがある。例えば、表示同期信号線310を通じて送られる表示同期信号を、“表示同期信号310”と呼ぶことがある。

【0045】CPU304は、アドレスバス301、データバス302を通じて、データドライバLSI307の内蔵する表示メモリに直接アクセスできるようになっている。また、動画コントローラ311も同様に、アドレスバス301、データバス302を通じて、データドライバLSI307にアクセスできるようになっている。これによりこの液晶表示装置では、静止画データについては、CPU304、メモリ305によって表示データの更新（描画）を行うようになっている。一方、動画データについては動画コントローラ311からデータドライバLSI307へ出力されるようになっている。そして、データドライバLSI307は、内部に動画表示領域を示す情報を備えており、該情報に従って、CPU304等から送られてくる表示データ（静止画データ）と、動画コントローラ311から送られてくる表示データ（動画データ）と、を切り替えて液晶パネル309に出力するようになっている。

【0046】このような動作を実現するための構成上の特徴は、主としてデータドライバLSI307にある。そこで、これ以降は、データドライバLSI307を中心に説明を行うこととする。

【0047】各データドライバLSI307は、各画素2ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えた表示メモリ（メモリセル433）を備えている。そのため、1個のデータドライバLSI307で160×240画素の液晶パネルを4階調で表示することができる。液晶パネル309は320×480画素であるため、このデータドライバLSI307を上下に2個づつ（合計4個）配置し、上下240ラインずつの2画面駆動を行うようになっている。

【0048】図2、図3に示すとおり、データドライバLSI307は、アドレス管理回路408、タイミング制御回路411、I/Oバッファ419、表示アドレス

カウンタ421、セクタ423、ロウアドレスデコーダ425、FRCデータ回路427、カラムアドレスデコーダ429、データセクタ431、メモリセル433、FRCセクタ435、セクタ437、シフトレジスタ439、ラッチ回路441、液晶駆動回路443を備えている。また、これらの各部間（あるいは、他の回路部分との間）を繋ぐための各種信号線、バス420、432、434、442等を備えている。

【0049】なお、該図2、図3には、図1においては省略し描いていなかった、発振回路402、電源回路404も描いている。

【0050】アドレス管理回路408は、制御信号303、401に基づいてアドレス301をカラムアドレス409およびロウアドレス410に変換するものである。アドレス管理回路408は、カラムアドレス409をカラムアドレスデコーダ429に、一方、ロウアドレス410をセクタ423を介してロウアドレスデコーダ425へ出力している。なお、制御信号401は、4つのデータドライバLSI307のうちいずれがその時のアクセス対象であるかを指定するためのものである。

【0051】タイミング制御回路411は、制御信号303および表示同期信号310からデータドライバLSI307内部の各種制御信号412、413、414、415、416、417、418、445を生成するものである。これらの制御信号のうち、制御信号412はI/Oバッファ419に出力されている。制御信号413は、表示アドレスカウンタ421に出力されている。制御信号414は、セクタ423に出力されている。制御信号415は、FRCデータ回路427に出力されている。シフトクロック416はシフトレジスタ439に出力されている。ラッチ信号417は、ラッチ回路441に出力されており、表示データをラッチするタイミングを制御するのに用いられている。制御信号418は、液晶駆動回路443に出力されており、液晶駆動の交流化を制御するのに用いられている。制御信号445は、セクタ437へ出力されており、セクタ437に接続されている2つのデータバス（データバス436、データバス302）のうちいずれか一方を選択するのに用いられている。なお、タイミング制御回路411にも上述の制御信号401が入力されている。

【0052】該タイミング制御回路411は、液晶パネル309上において動画の表示される領域を示す情報が格納されたレジスタ4110を備えている。また、該タイミング制御回路411には、その時、液晶パネル309上における何番目のラインに対応した表示データをメモリセル433から読み出すべきかを示すロウアドレス422が入力されている。制御信号445はこのレジスタ4110の内容とロウアドレス422とに基づいて生成されている。つまり、動画表示領域では表示データ302（動画コントローラ311から送られてくる動画デ



ータ)を、一方、静止画表示領域では表示データ436(静止画データ)を、セクタ437に選択させるように制御信号445を生成している。このような点が本実施形態最大の特徴点である。

【0053】I/Oバッファ419は、制御信号412に従って、表示データ302、420の入出力を制御するものである。

【0054】表示アドレスカウンタ421は、制御信号413に従って、表示用のロウアドレス422を生成するものである。該表示アドレスカウンタ421は、このロウアドレス422をタイミング制御回路411およびセクタ423に出力している。

【0055】セクタ423は、制御信号414に従って、表示用のロウアドレス422と描画用のロウアドレス410とのうちのいずれか一方を選択するものである。該セクタ423は、選択した方を、ロウアドレス424としてロウアドレスデコーダ425に出力している。

【0056】ロウアドレスデコーダ425は、ロウアドレス424を解説することでワード選択信号426を生成して、これをメモリセル433のゲート線に出力するものである。

【0057】カラムアドレスデコーダ429は、カラムアドレス409に基づいて、選択信号430を生成するものである。該カラムアドレスデコーダ429は、この選択信号430を、データセクタ431に出力している。

【0058】データセクタ431は、選択信号430に従ってメモリセル433のデータバス432のデータ線を選択することで、メモリセル433への表示データ420の入出力を制御するものである。

【0059】メモリセル433は、表示データ(静止画データ)を一時記憶するためのメモリであり、RAMで構成されている。該メモリセル433上における表示データの書き込み/読み出しの対象となる領域は、上述のカラムアドレスおよびロウアドレスに基づいて指定できるようになっている。上述したとおり本実施形態のメモリセル433は、各画素2ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えている。

【0060】FRCデータ回路427およびFRCセクタ435は、FRC方式による階調表示を行うためのものである。FRC階調方式とは、図15に示すとおり、印加電圧(すなわち表示輝度)をフレーム毎に変えることで、中間の階調の輝度を表示する方式である(図15の例では、奇数フレームと偶数フレームとで表示輝度を変えている)。FRCデータ回路427は、FRC階調方式により階調表示を行う際に必要なFRCデータ428を生成するものである。FRCデータ428の生成タイミングは、制御信号415に従って決定されてい

る。FRCセクタ435は、1画素2ビットの表示データ434に対応してFRCデータ1ビットを選択する処理(FRC制御)を行うものである。FRCセクタ435は、FRC制御によって生成されたデータを、表示データ436としてセクタ437へ出力している。

【0061】セクタ437は、表示データ436(静止画データ)と、動画コントローラ311から入力されている表示データ302(動画データ)と、のうちのいずれか一方を制御信号445に従って選択するものである。つまり、本実施形態においては、データバス302を通じて送られてきた表示データが、セクタ437に至るまでには2つのルートが設けられている。1番目のルートは、データバス302以後、I/Oバッファ419、データセクタ431、メモリセル433、FRCセクタ435、データバス436を通じてセクタ437に至るルートである。2番目のルートは、メモリセル433等を介することなく、データバス302を、直接、セクタ437に接続したルートである。あらかじめ動画表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス302には動画コントローラ311から動画データが入力されている。一方、あらかじめ静止表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス302にはCPU304、メモリ305等から静止画データが入力されている。従って、セクタ437において、データバス436とデータバス302とのいずれか一方を制御信号445に従って選択することで、データバス302からセクタ437に至る2つのルートのうちのいずれかを、表示データに応じて選択できるようにになっている。該セクタ437は、このようにして選択した方を表示データ438としてシフトレジスタ439へ出力している。

【0062】なお、本実施形態におけるセクタ437の具体的な内部構成を図4に示した。

【0063】シフトレジスタ439は、8ビット双方向シフトレジスタであり、シフトクロック(制御信号)416に従って動作している。

【0064】ラッチ回路441は、制御信号417に従って(つまり、走査回路308の表示選択信号407に同期して)表示データ440をラッチするものである。該ラッチ回路441は、ラッチしたデータを、表示データ442として液晶駆動回路443へ出力している。

【0065】液晶駆動回路443は、表示データ442に対応して液晶駆動電圧444を生成するものである。

【0066】発振回路402は表示タイミングを規定するための表示クロック403を生成し、走査回路308へ供給するものである。

【0067】電源回路404は、液晶パネル駆動電圧(走査回路308用の電源電圧405、データドライバLSI307用の電源電圧406)を生成し供給するも

10

20

30

40

50

のである。

【 0 0 6 8 】次に、本実施形態における表示動作について説明する。

【 0 0 6 9 】説明は静止画の表示動作と動画の表示動作とに分けて行う。

【 0 0 7 0 】〔静止画の表示動作〕静止画については、CPU 3 0 4 がメモリ 3 0 5 内の表示データを読み出し（リードアクセス）し、これをデータドライバLSI 3 0 7 のメモリセル 4 3 3 に書き込む（ライトアクセス）ことで、表示データの更新（描画）行われる。メモリ 4 3 3 へのアクセスは、ランダムに行われる。この時の、CPU 3 0 4 のアクセスはSRAMインタフェースで行われる。SRAMインタフェースのリード／ライトタイミングを図 1 0、図 1 1 に示した。図 1 0、図 1 1 に示した信号のうち、アドレス信号はアドレスバス 3 0 1 を通じて伝送されている。データ信号は、データバス 3 0 2 を通じて伝送されている。これ以外の信号は、制御信号 3 0 3 に含まれているものである。

【 0 0 7 1 】以下、データドライバLSI 3 0 7 のメモリセル 4 3 3 への表示データの書き込み、メモリセル 4 3 3 からの表示データの読み出しについて説明する。

【 0 0 7 2 】まず、メモリセル 4 3 3 への表示データの書き込みについて説明する。

【 0 0 7 3 】システム（CPU 3 0 4 等）からのリード／ライトアドレスは、アドレスバス 3 0 1 を通じてデータドライバLSI 3 0 7 のアドレス管理回路 4 0 8 に入力される。各データドライバLSI 3 0 7 のアドレス管理回路 4 0 8 は、それぞれ制御信号 4 0 1 に基づいてその時のアクセスが、自らの属するデータドライバLSI 3 0 7 に対するものであるか否かを判定する。該判定の結果、自らの属するデータドライバLSI 3 0 7 に対するアクセスであった場合には、この時入力されたアドレス 3 0 1 を、カラムアドレス 4 0 9、ロウアドレス 4 1 0 に変換する。

【 0 0 7 4 】カラムアドレスデコーダ 4 2 9 は、このカラムアドレス 4 0 9 をデコードする。データセクタ 4 3 1 はこのデコード結果に基づいて、対応するアドレスのデータ線を選択する。

【 0 0 7 5 】一方、セクタ 4 2 3 は、ロウアドレス 4 1 0 を選択し、ロウアドレス 4 2 4 としてロウアドレスデコーダ 4 2 5 に出力する。ロウアドレスデコーダ 4 2 5 はこのロウアドレス 4 2 4 をデコードし、デコード結果に応じてゲート線 1 本を選択する。これにより、CPU 3 0 4 は、その時選択されているデータ線およびゲート線によって定まるメモリセル 4 3 3 上の所定のビットにアクセスし、表示データを所定のアドレスに転送することができる。

【 0 0 7 6 】次に、メモリセル 4 3 3 からの表示データの読み出し（表示動作）について説明する。

【 0 0 7 7 】FRCセクタ 4 3 5 は、メモリセル 4 3

3 に保持された表示データ（1 ライン分の各画素 2 ビットのデータ）を、1 ビットのFRCデータ 4 3 6 に変換する。

【 0 0 7 8 】ところで、タイミング制御回路 4 1 1 は、レジスタ 4 1 1 0 の内容とロウアドレス 4 2 2 とを確認することで、この時、静止画領域の表示を行っていることを知っている。そのため、タイミング制御回路 4 1 1 は、この時には、セクタ 4 3 7 がデータバス 4 3 6 を選択するような値を制御信号 4 4 5 として出力している。セクタ 4 3 7 は、この制御信号 4 4 5 に従って、データバス 4 3 6 を選択し、該データバス 4 3 6 を通じて送られてくるFRCデータを表示データ 4 3 8 として出力する。

【 0 0 7 9 】シフトレジスタ 4 3 9 は、表示データ 4 3 8 を水平周期でラッチする。これに続く、ラッチ回路 4 4 1 は、次の水平周期で、シフトレジスタ 4 3 9 の出力する表示データ 4 4 0 をラッチし、液晶駆動回路 4 4 3 に表示データ 4 4 2 として出力する。液晶駆動回路 4 4 3 は、この表示データ 4 4 2 に対応した液晶駆動電圧 4 4 4 を選択し液晶パネル 3 0 9 に出力する。液晶駆動電圧 4 4 4 の出力は走査回路 3 0 8 の生成する走査選択電圧 4 0 7 に同期して出力されており、これにより液晶パネル 3 0 9 の 1 ライン分の表示を実現できる。

【 0 0 8 0 】以上の動作を繰り返すことで静止画の表示が可能となる。

【 0 0 8 1 】〔動画の表示動作〕動画を表示する場合には、多階調表示、表示データの高速転送が、実際上は必要になる。本実施形態のデータドライバLSI 3 0 7 は、これに対応するため以下のような描画動作を行う。

【 0 0 8 2 】動画データは、動画コントローラ 3 1 1 とCPU 3 0 4 とで動画圧縮データから動画伸長処理を行い、表示データに展開する。展開した表示データは動画コントローラ 3 1 1 がFRC制御を行う。

【 0 0 8 3 】ところで、動画コントローラ 3 1 1 も、動画領域を示す情報を格納したレジスタ（後述する図 5 における制御レジスタ回路 5 0 5）を備えている。動画コントローラ 3 1 1 は、このレジスタの内容等を確認することで、その時表示処理の対象となっているのが動画表示領域であるか否かを知ることができる。その時表示処理の対象となっているのが動画表示領域であった場合、動画コントローラ 3 1 1 は上述のFRC制御を行なう。そして、その結果得られた 1 ビットのFRCデータを、1 ライン分ずつ順次、データバス 3 0 2 を通じてデータドライバLSI 3 0 7 に送る。

【 0 0 8 4 】データドライバLSI 3 0 7 のタイミング制御回路 4 1 1 も、同様にレジスタ 4 1 1 0 の内容とロウアドレス 4 2 2 とを確認することでその時表示処理の対象となっているのが動画表示領域であることを知る。そのため、タイミング制御回路 4 1 1 は、この時の制御信号 4 4 5 を、セクタ 4 3 7 がデータバス 3 0 2 を選

択するような値とする。その結果、セレクト 4 3 7 は、データバス 3 0 2 を通じて動画コントローラ 3 1 1 から送られてくる F R C データを選択し、シフトレジスタ 4 3 9 に出力させる。これ以降は、静止画の場合と同様に、この F R C データに基づいた液晶駆動電圧 4 4 4 の出力が行われることになる。

【 0 0 8 5 】次に、動画コントローラ 3 1 1 からデータドライバ L S I 3 0 7 への動画データ転送のタイミングおよびこの動画データのデータドライバ L S I 3 0 7 内での処理のタイミングを、図 1 2、図 1 3、図 1 4 を用いてさらに詳細に説明する。

【 0 0 8 6 】ここでの説明では、タイミング制御回路 4 1 1 のレジスタ 4 1 1 0 において、液晶パネル 3 0 9 の  $n$  ラインから  $m$  ラインまでの領域 ( $n < m$ ) が動画表示領域として設定されているものとする (図 1 2 参照)。

【 0 0 8 7 】動画表示データはデータバス 3 0 2 を通じて動画コントローラ 3 1 1 からデータドライバ L S I 3 0 7 に 1 ライン分ずつシリアルに転送されてくる。図 1 3 において、C L 1 は水平期間を表わす同期信号であり、表示同期信号 3 1 0 (図 2、図 3 参照) に含まれている信号である。

【 0 0 8 8 】タイミング制御回路 4 1 1 は、この C L 1 を制御信号 4 1 3 として表示アドレスカウンタ 4 2 1 に出力している。表示アドレスカウンタ 4 2 1 は、この制御信号 4 1 3 (C L 1) をカウントし、そのカウント値を表示用のロウアドレス 4 2 2 としてセレクト 4 2 3 に出力している。

【 0 0 8 9 】セレクト 4 3 7 は、制御信号 4 4 5 に従ってその選択状態を切り替えているが、その選択状態は、表示アドレスカウンタ 4 2 1 のカウント値と以下のような関係にある。つまり、表示アドレスカウンタ 4 2 1 のカウント値が  $n - 1$  となっている時 (動画表示領域でない時) には、セレクト 4 3 7 は、データバス 4 3 6 (つまり、メモリセル 4 3 3 に格納されている  $n - 1$  ライン目の表示データに基づいて得られた F R C データ) を選択している。表示アドレスカウンタ 4 2 1 のカウント値が  $n$  の時 (動画表示領域の時) には、セレクト 4 3 7 は、データバス 3 0 2 (つまり、動画コントローラ 3 1 1 から送られてくる表示データ) を選択している。このように、動画表示領域ではセレクト 4 3 7 はデータバス 3 0 2 (動画コントローラ 3 1 1 からの表示データ) を選択し、動画表示領域以外ではメモリセル 4 3 3 の表示データを選択する。

【 0 0 9 0 】また、動画コントローラ 3 1 1 の動作も、セレクト 4 3 7、表示アドレスカウンタ 4 2 1 の動作と以下のような関係がある。つまり、表示カウンタ 4 2 1 が ( $n - 1$ ) をカウントする時に、動画コントローラ 3 1 1 は  $n$  ライン目の表示データを順次転送する。

【 0 0 9 1 】データドライバ L S I 3 0 7 においては、シフトレジスタ 4 3 9 が、図 1 4 に示したタイミングで

この動画コントローラ 3 1 1 から送られてきた  $n$  ライン目のデータ (1 ライン分) を取り込む。すなわち、シフトレジスタ 4 3 9 は、W E 信号に同期したシフトクロック 4 1 6 で、順次、表示データ 4 3 8 (動画コントローラ 3 1 1 から送られてきた  $n$  ライン目のデータ) を 1 ライン分取り込む (注: 既に述べたとおり、この時には、セレクト 4 3 7 はデータバス 3 0 2 を選択した状態とされている)。なお、動画コントローラ 3 1 1 からの表示データの転送は、図 1 4 における W E 信号 (ライトイネーブル信号) に同期して行われている。シフトレジスタ 4 3 9 は、このようなタイミングで取り込んだデータを、ラッチ回路 4 4 1 に表示データ 4 4 0 として転送する。

【 0 0 9 2 】ラッチ回路 4 4 1 は、次の C L 1 信号に同期してこの表示データ 4 4 0 をラッチし、表示データ 4 4 2 として液晶駆動回路 4 4 3 に転送する (図 1 3 参照)。液晶駆動回路 4 4 3 は、この表示データ 4 4 2 に応じて液晶駆動電圧 4 4 4 を生成し出力する。液晶駆動電圧 4 4 4 の出力は走査回路 3 0 8 の生成する走査選択電圧 4 0 7 に同期して出力されており、これにより液晶パネル 3 0 9 の 1 ライン分の表示を実現できる。

【 0 0 9 3 】以上の動作を繰り返すことで動画表示が可能となる。

【 0 0 9 4 】動画コントローラ 3 1 1 について図 5 を用いて説明しておく。

【 0 0 9 5 】動画コントローラ 3 1 1 は、M P E G などの圧縮データを伸長し、表示データを再生するものである。この動画コントローラ 3 1 1 は、図 5 に示すとおり、タイミング制御回路 5 0 1、入出力を制御する I/O 制御回路 5 0 2、アドレス制御回路 5 0 3、動画処理回路 5 0 4、制御レジスタ回路 5 0 5、F R C 制御回路 5 0 6 を備えている。また、これら各部を繋ぐ、信号線 5 0 7、5 0 8、5 0 9、5 1 0、5 1 1、5 1 2、アドレスバス 5 1 3、5 1 4、データバス 5 1 5、5 1 6、5 1 7、5 1 8、5 1 9、5 2 0 を備えている。

【 0 0 9 6 】I/O 制御回路 5 0 2 は、データバス 3 0 2 を通じてのデータ信号の入出力、アドレスバス 3 0 1 を通じてのアドレス信号の入出力を制御している。I/O 制御回路 5 0 2 は、データバス 3 0 2 を通じて入力された圧縮データを、動画処理回路 5 0 4 に出力する。また、アドレスバス 3 0 1 を通じて入力されたアドレス信号を、アドレス制御回路 5 0 3 へ出力する。

【 0 0 9 7 】動画処理回路 5 0 4 は、入力された圧縮データの伸長、再生、表示サイズに適應したスケーリング等の処理を行なう。そして、該処理によって得られた表示データを、F R C 制御回路 5 0 6 に出力する。F R C 制御回路 5 0 6 はこの表示データを F R C データに変換する。この F R C データは、この後、再び、動画処理回路 5 0 4 を通じて、I/O 制御回路 5 0 2 に戻される。

【 0 0 9 8 】制御レジスタ回路 5 0 5 には、その時設定

されている動画表示領域を示す情報が格納されている。  
I/O制御回路502はこの制御レジスタ回路505の内容を確認することで、その時動画領域に対する表示処理が行われているか否かを知る。そして、動画領域に対する表示処理が行われている時だけ、FRCデータをデータバス302を通じて出力する。データドライバLSI307の動作タイミングとの関係については、上述の図13、図14に示したとおりである。

【0099】動画コントローラ311内の各部の動作タイミングは、タイミング制御回路501が制御信号303に基づいて生成出力する各種制御信号507、508、509、510、511に基づいて調整されている。また、アドレスの管理は、アドレス制御回路503によってなされている。

【0100】以上説明したとおり本実施形態の液晶表示装置では、データドライバLSI307の備えるメモリセル433を静止面表示にのみ用いている。そのため、メモリセル433の書き換えを高速に行う必要がなく、低消費電力化が可能である。また、動画表示における階調表示のためのFRC制御は動画コントローラで行っている。そのため、データドライバLSI307のメモリ容量を増やすことなく、多階調の動画表示（本実施形態では、32階調）が容易に実現可能となる。

【0101】本発明の第2の実施形態である液晶表示装置を図6、図7、図10乃至図14、図16を用いて説明する。

【0102】第2の実施形態では階調方式としてパルス幅変調方式（PWM方式）を用いる。

【0103】この液晶表示装置の全体構成は、データドライバ307に代わってデータドライバ900を用いている点を除き第1の実施形態（図1参照）と同様である。該第2の実施形態における特徴は、主としてデータドライバLSI900にある。そこで、これ以降は、データドライバLSI900を中心に説明を行うこととする。

【0104】各データドライバLSI900は、各画素2ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えた表示メモリ（メモリセル933）を備えている。そのため、1個のデータドライバLSI900で160×240画素の液晶パネルを4階調で表示することができる。液晶パネル309は320×480画素であるため、このデータドライバLSI900を上下に2個づつ（合計4個）配置し、上下240ラインずつの2画面駆動を行うようになっている。

【0105】図6、図7に示すとおり、データドライバLSI900は、アドレス管理回路908、タイミング制御回路911、I/Oバッファ919、表示アドレスカウンタ921、セクタ923、ロウアドレスデコーダ925、カラムアドレスデコーダ929、データセクタ931、メモリセル933、セクタ937、シフ

トレジスタ939、ラッチ回路941、液晶駆動回路943を備えている。また、これらの各部間（あるいは、他の回路部分との間）を繋ぐための各種信号線、バス920、932、934、942等を備えている。

【0106】なお、該図6、図7には、図1においては省略し描いていなかった、発振回路402、電源回路904も描いている。

【0107】アドレス管理回路908は、制御信号303、901に基づいてアドレス301をカラムアドレス909およびロウアドレス910に変換するものである。アドレス管理回路908は、カラムアドレス909をカラムアドレスデコーダ929に、一方、ロウアドレス910をセクタ923を介してロウアドレスデコーダ925へ出力している。なお、制御信号901は、4つのデータドライバLSI900のうちいずれがその時のアクセス対象であるかを指定するためのものである。

【0108】タイミング制御回路911は、制御信号303および表示同期信号907からデータドライバLSI900内部の各種制御信号912、913、914、916、917、918、927、945を生成するものである。これらの制御信号のうち、制御信号912はI/Oバッファ919に出力されている。制御信号913は、表示アドレスカウンタ921に出力されている。制御信号914は、セクタ923に出力されている。制御信号（シフトクロック）916はシフトレジスタ939に出力されている。制御信号（ラッチ信号）917は、ラッチ回路941に出力されており、表示データをラッチするタイミングを制御するのに用いられている。制御信号918は、液晶駆動回路943に出力されており、液晶駆動の交流化を制御するのに用いられている。制御信号927は、液晶駆動回路943に出力されており、パルス幅変調のタイミングを制御するのに用いられている。制御信号945は、セクタ937へ出力されており、セクタ937に接続されている2つのデータバス（データバス436、データバス302）のうちいずれか一方を該セクタ937が選択するのに用いられている。なお、タイミング制御回路911にも上述の制御信号901が入力されている。

【0109】該タイミング制御回路911は、液晶パネル309上において動画の表示される領域を示す情報が格納されたレジスタ9110を備えている。また、該タイミング制御回路911には、その時、液晶パネル309上における何番目のラインに対応した表示データをメモリセル933から読み出すべきかを示すロウアドレス922が入力されている。上述の制御信号945はこのレジスタ9110の内容とロウアドレス922とに基づいて生成されている。つまり、動画表示領域では表示データ302（動画コントローラ311から送られてくる動画データ）を、一方、静止面表示領域では表示データ934（静止面データ）を、セクタ937に選択させ

るように制御信号 9 4 5 を生成している。このような点が本実施形態最大の特徴点である。

【0 1 1 0】I/Oバッファ 9 1 9 は、制御信号 9 1 2 に従って、表示データ 3 0 2、9 2 0 の入出力を制御するものである。

【0 1 1 1】表示アドレスカウンタ 9 2 1 は、制御信号 9 1 3 に従って、表示用のロウアドレス 9 2 2 を生成するものである。該表示アドレスカウンタ 9 2 1 は、このロウアドレス 9 2 2 をタイミング制御回路 9 1 1 およびセクタ 9 2 3 に出力している。

【0 1 1 2】セクタ 9 2 3 は、制御信号 9 1 4 に従って、表示用のロウアドレス 9 2 2 と描画用のロウアドレス 9 1 0 とのうちのいずれか一方を選択するものである。該セクタ 9 2 3 は、選択した方を、ロウアドレス 9 2 4 としてロウアドレスデコーダ 9 2 5 に出力している。

【0 1 1 3】ロウアドレスデコーダ 9 2 5 は、ロウアドレス 9 2 4 を解説することでワード選択信号 9 2 6 を生成して、これをメモリセル 9 3 3 のゲート線に出力するものである。

【0 1 1 4】カラムアドレスデコーダ 9 2 9 は、アドレス管理回路 9 0 8 の出力するカラムアドレス 9 0 9 に基づいて、選択信号 9 3 0 を生成するものである。該カラムアドレスデコーダ 9 2 9 は、この選択信号 9 3 0 を、データセクタ 9 3 1 に出力している。

【0 1 1 5】データセクタ 9 3 1 は、選択信号 9 3 0 に従ってメモリセル 9 3 3 のデータバス 9 3 3 のデータ線を選択することで、メモリセル 9 3 3 への表示データ 9 2 0 の入出力を制御するものである。

【0 1 1 6】メモリセル 9 3 3 は、表示データ（静止面データ）を一時記憶するためのメモリであり、RAMで構成されている。該メモリセル 9 3 3 上における表示データの書き込み／読み出しの対象となる領域は、上述のカラムアドレスおよびロウアドレスに基づいて指定できるようになっている。上述したとおりメモリセル 9 3 3 は、各画素 2 ビットの表示データを、1 6 0 出力、2 4 0 ライン分保持できるだけの容量を備えている。

【0 1 1 7】セクタ 9 3 7 は、表示データ 9 3 4（静止面データ）と、動画コントローラ 3 1 1 から入力されている表示データ 3 0 2（動画データ）と、のうちのいずれか一方を制御信号 9 4 5 に従って選択するものである。つまり、本実施形態においては、データバス 3 0 2 を通じて送られてきた表示データが、セクタ 9 3 7 に至るまでには 2 つのルートが設けられている。1 番目のルートは、データバス 3 0 2 以後、I/Oバッファ 9 1 9、データセクタ 9 3 1、メモリセル 9 3 3、データバス 9 3 4 を通じてセクタ 9 3 7 に至るルートである。2 番目のルートは、メモリセル 9 3 3 等を介することなく、データバス 3 0 2 を、直接、セクタ 9 3 7 に接続したルートである。あらかじめ動画表示領域として

設定されている領域についての表示データを入力すべき期間中は、データバス 3 0 2 には動画コントローラ 3 1 1 から動画データが入力されている。一方、あらかじめ静止表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス 3 0 2 には CPU 3 0 4、メモリ 3 0 5 等から静止面データが入力されている。従って、セクタ 9 3 7 において、データバス 9 3 4 とデータバス 3 0 2 とのうちのいずれか一方を制御信号 9 4 5 に従って選択することで、データバス 3 0 2 からセクタ 9 3 7 に至る 2 つのルートのうちのいずれかを、表示データに応じて選択できるようになっている。該セクタ 9 3 7 は、このようにして選択した方を表示データ 9 3 8 としてシフトレジスタ 9 3 9 へ出力している。

【0 1 1 8】なお、本実施形態におけるセクタ 9 3 7 の具体的な内部構成は、第 1 の実施形態におけるセクタ 4 3 7 と同様でよい（図 4 参照）。

【0 1 1 9】シフトレジスタ 9 3 9 は、8 ビット双方向シフトレジスタであり、制御信号 9 1 6 に従って動作している。

【0 1 2 0】ラッチ回路 9 4 1 は、制御信号（ラッチ信号）9 1 7 に従って（つまり、走査回路 9 0 2 の走査選択信号 9 0 3 に同期して）表示データ 9 4 0 をラッチするものである。該ラッチ回路 9 4 1 は、ラッチしたデータを、表示データ 9 4 2 として液晶駆動回路 9 4 3 へ出力している。

【0 1 2 1】液晶駆動回路 9 4 3 は、パルス幅変調方式により、表示データ 9 4 2 に対応した液晶駆動電圧 9 4 4 を生成するものである。パルス幅変調方式とは、図 1 6 に示すとおり、選択期間中に液晶パネル 3 0 9 のデータ電極に与える電圧を切り換えることで液晶に与える電圧実効値を制御し、階調表示を実現する方式である。図 1 6 の例では、選択期間を 3 等分し、データ電極に与える電圧をこの 3 等分した期間毎に切り換えることで 4 階調表示を実現している。

【0 1 2 2】発振回路 4 0 2 は表示タイミングを規定するための表示クロック 4 0 3 を生成し、走査回路 9 0 2 へ供給するものである。

【0 1 2 3】電源回路 9 0 4 は、液晶パネル駆動電圧（走査回路用 9 0 2 の電源電圧 4 0 5、データドライバ L S I 9 0 0 用の電源電圧 9 0 6）を生成し供給するものである。

【0 1 2 4】なお、動画コントローラ 3 1 1 の構成および動作は基本的には第 1 の実施形態と同様である（図 5 参照）。但し、該第 2 の実施形態では、第 1 の実施形態と異なり F R C データは各画素 2 ビットのデータとしている。動画コントローラ 3 1 1 が行う F R C 制御による階調制御と、データドライバ L S I 9 0 0 が行うパルス幅変調制御による階調制御とを組み合わせることで多階調表示を実現している。パルス幅変調制御により 4 階調

制御を行い、FRC制御により12階調以上の制御を行えば、これらの組み合わせにより32階調以上の表示を実現できる。

【0125】次に、本実施形態における表示動作について説明する。

【0126】説明は静止面の表示動作と動画の表示動作とに分けて行う。

【0127】〔静止面の表示動作〕静止面については、CPU304がメモリ305内の表示データを読み出し（リードアクセス）し、これをデータドライバLSI900のメモリセル933に書き込む（ライトアクセス）ことで、表示データの更新（描画）が行われる。メモリ933へのアクセスは、ランダムに行われる。この時の、CPU304のアクセスはSRAMインタフェースで行われる。SRAMインタフェースのリード/ライトタイミングは図10、図11に示したとおりである。

【0128】以下、データドライバLSI900のメモリセル933への表示データの書き込み、メモリセル933からの表示データの読み出しについて説明する。

【0129】まず、メモリセル933への表示データの書き込みについて説明する。

【0130】システム（CPU304等）からのリード/ライトアドレスは、アドレスバス301を通じてデータドライバLSI900のアドレス管理回路908に入力される。各データドライバLSI900のアドレス管理回路908は、それぞれ制御信号901に基づいてその時のアクセスが、自らの属するデータドライバLSI900に対するものであるか否かを判定する。該判定の結果、自らの属するデータドライバLSI900に対するアクセスであった場合には、この時入力されたアドレス301を、カラムアドレス909、ロウアドレス910に変換する。

【0131】カラムアドレスデコーダ929は、このカラムアドレス909をデコードする。データセクタ931はこのデコード結果に基づいて、対応するアドレスのデータ線を選択する。

【0132】一方、セクタ923は、ロウアドレス910を選択し、ロウアドレス924としてロウアドレスデコーダ925に出力する。ロウアドレスデコーダ925はこのロウアドレス924をデコードし、デコード結果に応じてゲート線1本を選択する。これにより、CPU304は、その時選択されているデータ線およびゲート線によって定まるメモリセル933上の所定のビットにアクセスし、表示データを所定のアドレスに転送することができる。

【0133】次に、メモリセル933からの表示データの読み出し（表示動作）について説明する。

【0134】タイミング制御回路911は、レジスタ9110の内容とロウアドレス922とを確認すること、この時、静止面領域の表示を行っていることを知っ

ている。そのため、タイミング制御回路911は、この時には、セクタ937がデータバス934を選択するような値を制御信号945として出力している。セクタ937は、この制御信号945に従ってデータバス934を選択し、該データバス934を通じてメモリセル933から読み出されて来たデータ（各画素2ビット、1ライン分）を表示データ938として出力する。

【0135】シフトレジスタ939は、表示データ938を水平周期でラッチする。これに続く、ラッチ回路941は、次の水平周期で、シフトレジスタ939の出力する表示データ940をラッチし、液晶駆動回路943に表示データ942として出力する。液晶駆動回路943は、この表示データ942に応じてパルス幅変調（PWM）制御を行った液晶駆動電圧944を液晶パネル309に出力する。液晶駆動電圧944の出力は走査回路902の生成する走査選択信号903に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0136】以上の動作を繰り返すことで静止面の表示が可能となる。

【0137】〔動画の表示動作〕動画を表示する場合には、多階調表示、表示データの高速転送が、実際上は必要になる。本実施形態のデータドライバLSI900は、これに対応するため以下のような描画動作を行う。

【0138】動画データは、動画コントローラ311とCPU304とで動画圧縮データから動画伸長処理を行い、表示データに展開する。展開した表示データは動画コントローラ311がFRC制御を行う。

【0139】ところで、動画コントローラ311も、動画領域を示す情報を格納したレジスタ（図5における制御レジスタ回路505）を備えている。動画コントローラ311は、このレジスタの内容等を確認することで、その時表示処理の対象となっているのが動画表示領域であるか否かを知ることができる。その時表示処理の対象となっているのが動画表示領域であった場合、動画コントローラ311は上述のFRC制御を行なう。そして、その結果得られた各画素2ビットのFRCデータを、1ライン分ずつ順次、データバス302を通じてデータドライバLSI900に送る。

【0140】データドライバLSI900のタイミング制御回路911も、同様にレジスタ9110の内容とロウアドレス922とを確認することでその時表示処理の対象となっているのが動画表示領域であることを知る。そのため、タイミング制御回路911は、この時の制御信号945を、セクタ937がデータバス302を選択するような値とする。その結果、セクタ937は、データバス302を通じて動画コントローラ311から送られてくるFRCデータを選択し、シフトレジスタ939に出力させる。これ以降は、静止面の場合と同様にして、このパルス幅制御の行われた液晶駆動電圧444

の出力が行われることになる。このようにパルス幅変調方式による4階調制御と、FRC階調方式による12階調制御とを組み合わせることで32階調以上の表示を実現できる。

【0141】次に、動画コントローラ311からデータドライバLSI900への動画データ転送のタイミングおよびこの動画データのデータドライバLSI900内での処理のタイミングを図12、図13、図14を用いてさらに詳細に説明する。

【0142】ここでの説明では、タイミング制御回路411のレジスタ4110において、液晶パネル309のnラインからmラインまでの領域( $n < m$ )が動画表示領域として設定されているものとする(図12参照)。

【0143】動画コントローラ311からデータドライバ900への動画表示データの転送は第1の実施形態と同様である。

【0144】各画素2ビットの動画表示データは、データバス302を通過して動画コントローラ311からデータドライバLSI900に1ライン分ずつシリアルに転送されてくる。図13において、CL1は水平期間を表わす同期信号であり、表示同期信号907(図6、図7参照)に含まれている信号である。

【0145】タイミング制御回路911は、このCL1を制御信号913として表示アドレスカウンタ921に出力している。表示アドレスカウンタ921は、この制御信号913(CL1)をカウントし、そのカウント値を表示用のロウアドレス922としてセクタ923に出力している。

【0146】セクタ937は、制御信号945に従ってその選択状態を切り替えているが、その選択状態は、表示アドレスカウンタ921のカウント値と以下のような関係にある。つまり、表示アドレスカウンタ921のカウント値が $n-1$ となっている時(動画表示領域でない時)には、セクタ937は、データバス934(つまり、メモリセル933に格納されている $n-1$ ライン目の表示データ)を選択している。表示アドレスカウンタ921のカウント値が $n$ の時(動画表示領域の時)には、セクタ937は、データバス302(つまり、動画コントローラ311から送られてくる表示データ)を選択している。このように、動画表示領域ではセクタ937はデータバス302(動画コントローラ311からの表示データ)を選択し、動画表示領域以外ではメモリセル933の表示データを選択する。

【0147】また、動画コントローラ311の動作も、セクタ937、表示アドレスカウンタ921の動作と以下のような関係がある。つまり、表示アドレスカウンタ921が $(n-1)$ をカウントする時に、動画コントローラ311はnライン目の表示データを順次転送する。

【0148】データドライバLSI900においては、

シフトレジスタ939が、図14に示したタイミングでこの動画コントローラ311から送られてきたnライン目のデータ(1ライン分)を取り込む。すなわち、シフトレジスタ939は、WE信号に同期したシフトクロック916で、順次、表示データ938(動画コントローラ311から送られてきたnライン目のデータ)を1ライン分取り込む(注:既に述べたとおり、この時には、セクタ937はデータバス302を選択した状態とされている)。なお、動画コントローラ311からの表示データの転送は、図14におけるWE信号(ライトイネーブル信号)に同期して行われている。シフトレジスタ939は、このようなタイミングで取り込んだデータを、ラッチ回路941に表示データ940として転送する。

【0149】ラッチ回路941は、次のCL1信号に同期してこの表示データ940をラッチし、表示データ942として液晶駆動回路943に転送する(図13参照)。液晶駆動回路943は、この表示データ942(各画素2ビット)に対応してパルス幅変調を行った液晶駆動電圧944を生成し出力する。液晶駆動電圧944の出力は走査回路902の生成する走査選択信号903に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0150】以上の動作を繰り返すことで動画表示が可能となる。

【0151】以上説明したとおり該第2の実施形態の液晶表示装置では、データドライバLSI900の備えるメモリセル933を静止画表示にのみ用いている。そのため、メモリセル933の書換を高速に行う必要がなく、低消費電力化が可能である。また、動画表示における階調表示は、動画コントローラによるFRC制御と、データドライバによるパルス幅変調制御とを組み合わせることで実現している。そのため、データドライバLSI900のメモリ容量を増やすことなく、多階調の動画表示(本実施形態では、32階調)が容易に実現可能となる。

【0152】次に第3の実施形態である液晶表示装置を、図8乃至図14、図17を用いて説明する。

【0153】第3の実施形態では階調方式として電圧変調方式(AM方式)を用いる。

【0154】この液晶表示装置の全体構成は、データドライバ307に代わってデータドライバ1400を用いる点を除き、第1の実施形態(図1参照)と同様である。該第3の実施形態における特徴は、主としてデータドライバLSI1400にある。そこで、これ以降は、データドライバLSI1400を中心に説明を行うこととする。

【0155】各データドライバLSI1400は、各画素3ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えた表示メモリ(メモリセ



ル 1 4 3 3) を備えている。そのため、1 個のデータドライバ L S I 1 4 0 0 で 1 6 0 × 2 4 0 画素の液晶パネルを 8 階調で表示することができる。液晶パネル 3 0 9 は 3 2 0 × 4 8 0 画素であるため、このデータドライバ L S I 1 4 0 0 を上下に 2 個づつ ( 合計 4 個 ) 配置し、上下 2 4 0 ラインずつの 2 画面駆動を行うようになって

【 0 1 5 6 】 図 8、図 9 に示すとおり、データドライバ L S I 1 4 0 0 は、アドレス管理回路 1 4 0 8、タイミング制御回路 1 4 1 1、I/Oバッファ 1 4 1 9、表示アドレスカウンタ 1 4 2 1、セクタ 1 4 2 3、ロウアドレスデコーダ 1 4 2 5、カラムアドレスデコーダ 1 4 2 9、データセクタ 1 4 3 1、メモリセル 1 4 3 3、セクタ 1 4 3 7、シフトレジスタ 1 4 3 9、ラッチ回路 1 4 4 1、液晶駆動回路 1 4 4 3 を備えている。また、これらの各部間 (あるいは、他の回路部分との間) を繋ぐための各種信号線、バス 1 4 2 0、1 4 3 2、1 4 3 4、1 4 4 2 等を備えている。

【 0 1 5 7 】 なお、該図 8、図 9 には、図 1 においては省略し描いていなかった、発振回路 4 0 2、電源回路 1 4 0 4 も描いている。

【 0 1 5 8 】 アドレス管理回路 1 4 0 8 は、制御信号 3 0 3、1 4 0 1 に基づいてアドレス 3 0 1 をカラムアドレス 1 4 0 9 およびロウアドレス 1 4 1 0 に変換するものである。アドレス管理回路 1 4 0 8 は、カラムアドレス 1 4 0 9 をカラムアドレスデコーダ 1 4 2 9 に、一方、ロウアドレス 1 4 1 0 をセクタ 1 4 2 3 を介してロウアドレスデコーダ 1 4 2 5 へ出力している。なお、制御信号 1 4 0 1 は、4 つのデータドライバ L S I 1 4 0 0 のうちいずれがその時のアクセス対象であるかを指定するためのものである。

【 0 1 5 9 】 タイミング制御回路 1 4 1 1 は、制御信号 3 0 3 および表示同期信号 1 4 0 7 からデータドライバ L S I 1 4 0 0 内部の各種制御信号 1 4 1 2、1 4 1 3、1 4 1 4、1 4 1 6、1 4 1 7、1 4 1 8、1 4 2 7、1 4 4 5 を生成するものである。これらの制御信号のうち、制御信号 1 4 1 2 は I/O バッファ 1 4 1 9 に出力されている。制御信号 1 4 1 3 は、表示アドレスカウンタ 1 4 2 1 に出力されている。制御信号 1 4 1 4 は、セクタ 1 4 2 3 に出力されている。制御信号 (シフトクロック) 1 4 1 6 はシフトレジスタ 1 4 3 9 に出力されている。制御信号 (ラッチ信号) 1 4 1 7 は、ラッチ回路 1 4 4 1 に出力されており、表示データをラッチするタイミングを制御するのに用いられている。制御信号 1 4 1 8 は、液晶駆動回路 1 4 4 3 に出力されており、液晶駆動の交流化を制御するのに用いられている。制御信号 1 4 2 7 は、液晶駆動回路 1 4 4 3 に出力されており、電圧変調制御のタイミングを制御するのに用いられている。制御信号 1 4 4 5 は、セクタ 1 4 3 7 へ出力されており、セクタ 1 4 3 7 に接続されている 2

つのデータバス (データバス 4 3 6、データバス 3 0 2) のうちのいずれか一方を該セクタ 1 4 3 7 が選択するのに用いられている。なお、タイミング制御回路 1 4 1 1 にも上述の制御信号 1 4 0 1 が入力されている。

【 0 1 6 0 】 該タイミング制御回路 1 4 1 1 は、液晶パネル 3 0 9 上において動画の表示される領域を示す情報が格納されたレジスタ 1 4 1 1 0 を備えている。また、該タイミング制御回路 1 4 1 1 には、その時、液晶パネル 3 0 9 上における何番目のラインに対応した表示データをメモリセル 1 4 3 3 から読み出すべきかを示すロウアドレス 1 4 2 2 が入力されている。制御信号 1 4 4 5 はこのレジスタ 1 4 1 1 0 の内容とロウアドレス 1 4 2 2 とに基づいて生成されている。つまり、動画表示領域では表示データ 3 0 2 (動画コントローラ 3 1 1 から送られてくる動画データ) を、一方、静止画表示領域では表示データ 1 4 3 4 (静止画データ) を、セクタ 1 4 3 7 に選択させるように制御信号 1 4 4 5 を生成している。このような点が本実施形態最大の特徴点である。

【 0 1 6 1 】 I/O バッファ 1 4 1 9 は、制御信号 1 4 1 2 に従って、表示データ 3 0 2、1 4 2 0 の入出力を制御するものである。

【 0 1 6 2 】 表示アドレスカウンタ 1 4 2 1 は、制御信号 1 4 1 3 に従って、表示用のロウアドレス 1 4 2 2 を生成するものである。該表示アドレスカウンタ 1 4 2 1 は、このロウアドレス 1 4 2 2 をタイミング制御回路 1 4 1 1 およびセクタ 1 4 2 3 に出力している。

【 0 1 6 3 】 セクタ 1 4 2 3 は、制御信号 1 4 1 4 に従って、表示用のロウアドレス 1 4 2 2 と描画用のロウアドレス 1 4 1 0 とのうちのいずれか一方を選択するのである。該セクタ 1 4 2 3 は、選択した方を、ロウアドレス 1 4 2 4 としてロウアドレスデコーダ 1 4 2 5 に出力している。

【 0 1 6 4 】 ロウアドレスデコーダ 1 4 2 5 は、ロウアドレス 1 4 2 4 を解読することでワード選択信号 1 4 2 6 を生成して、これをメモリセル 1 4 3 3 のゲート線に出力するものである。

【 0 1 6 5 】 カラムアドレスデコーダ 1 4 2 9 は、アドレス管理回路 1 4 0 8 の出力するカラムアドレス 1 4 0 9 に基づいて、選択信号 1 4 3 0 を生成するものである。該カラムアドレスデコーダ 1 4 2 9 は、この選択信号 1 4 3 0 を、データセクタ 1 4 3 1 に出力している。

【 0 1 6 6 】 データセクタ 1 4 3 1 は、選択信号 1 4 3 0 に従ってメモリセル 1 4 3 3 のデータバス 1 4 3 2 のデータ線を選択することで、メモリセル 1 4 3 3 への表示データ 1 4 2 0 の入出力を制御するものである。

【 0 1 6 7 】 メモリセル 1 4 3 3 は、表示データ (静止画データ) を一時記憶するためのメモリであり、RAM で構成されている。該メモリセル 1 4 3 3 上における表示データの書き込み/読み出しの対象となる領域は、上

述のカラムアドレスおよびロウアドレスに基づいて指定できるようになっている。上述したとおりメモリセル 1 4 3 3 は、各画素 3 ビットの表示データを、1 6 0 出力、2 4 0 ライン分保持できるだけの容量を備えている。

【0 1 6 8】セレクト 1 4 3 7 は、表示データ 1 4 3 4（静止画データ）と、動画コントローラ 3 1 1 から入力されている表示データ 3 0 2（動画データ）と、のうちのいずれか一方を制御信号 1 4 4 5 に従って選択するものである。つまり、本実施形態においては、データバス 3 0 2 を通じて送られてきた表示データが、セレクト 1 4 3 7 に至るまでには 2 つのルートが設けられている。1 番目のルートは、データバス 3 0 2 以後、I/O パッファ 1 4 1 9、データセレクト 1 4 3 1、メモリセル 1 4 3 3、データバス 1 4 3 4 を通じてセレクト 1 4 3 7 に至るルートである。2 番目のルートは、メモリセル 1 4 3 3 等を介することなく、データバス 3 0 2 を、直接、セレクト 1 4 3 7 に接続したルートである。あらかじめ動画表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス 3 0 2 には動画コントローラ 3 1 1 から動画データが入力されている。一方、あらかじめ静止表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス 3 0 2 には CPU 3 0 4、メモリ 3 0 5 等から静止画データが入力されている。従って、セレクト 1 4 3 7 において、データバス 1 4 3 4 とデータバス 3 0 2 とのうちのいずれか一方を制御信号 1 4 4 5 に従って選択することで、データバス 3 0 2 からセレクト 1 4 3 7 に至る 2 つのルートのうちのいずれかを、表示データに  
30 応じて選択できるようになっている。該セレクト 1 4 3 7 は、このようにして選択した方を表示データ 1 4 3 8 としてシフトレジスタ 1 4 3 9 へ出力している。

【0 1 6 9】なお、本実施形態におけるセレクト 1 4 3 7 の具体的な内部構成は、第 1 の実施形態におけるセレクト 4 3 7 と同様でよい（図 4 参照）。

【0 1 7 0】シフトレジスタ 1 4 3 9 は、1 2 ビット双方向シフトレジスタであり、制御信号（シフトクロック）1 4 1 6 に従って動作している。

【0 1 7 1】ラッチ回路 1 4 4 1 は、制御信号（ラッチ信号）1 4 1 7 に従って（つまり、走査回路 1 4 0 2 の走査選択信号 1 4 0 3 に同期して）表示データ 1 4 4 0 をラッチするものである。該ラッチ回路 1 4 4 1 は、ラッチしたデータを、表示データ 1 4 4 2 として液晶駆動回路 1 4 4 3 へ出力している。

【0 1 7 2】液晶駆動回路 1 4 4 3 は、電圧変調方式により、表示データ 1 4 4 2 に対応した液晶駆動電圧 9 4 4 を生成するものである。電圧変調方式とは、図 1 7 に示すとおり、階調データに従った中間調電圧を液晶パネル 3 0 9 のデータ電極に与えることで、液晶に与える電圧実効値を制御し、階調表示を実現する方式である。電

圧変調方式では、非選択期間に与える電圧は表示データの階調で異なるため、2 フレームで電圧実効値が一定となるように中間調電圧を設定する（図 1 7 参照）。該液晶駆動回路 1 4 4 3 は、電圧変調によって 8 階調表示を可能としている。

【0 1 7 3】発振回路 4 0 2 は表示タイミングを規定するための表示クロック 4 0 3 を生成し、走査回路 1 4 0 2 へ供給するものである。

【0 1 7 4】電源回路 1 4 0 4 は、液晶パネル駆動電圧（走査回路用 1 4 0 2 の電源電圧 4 0 5、データドライバ L S I 1 4 0 0 用の電源電圧 1 4 0 6）を生成し供給するものである。

【0 1 7 5】なお、動画コントローラ 3 1 1 の構成および動作は基本的には第 1 の実施形態と同様である（図 5 参照）。但し、該第 3 の実施形態では、第 1 の実施形態と異なり F R C データは各画素 3 ビットのデータとして  
20 いる。動画コントローラ 3 1 1 が行う F R C 制御による階調制御と、データドライバ L S I 1 4 0 0 が行う電圧変調制御による階調制御とを組み合わせることで多階調表示を実現している。電圧変調制御により 8 階調制御を行い、F R C 制御により 6 階調以上の制御を行えば、これらの組み合わせにより 3 2 階調以上の表示を実現できる。

【0 1 7 6】次に、本実施形態における表示動作について説明する。

【0 1 7 7】説明は静止画の表示動作と動画の表示動作とに分けて行う。

【0 1 7 8】〔静止画の表示動作〕静止画については、CPU 3 0 4 がメモリ 3 0 5 内の表示データを読み出し（リードアクセス）し、これをデータドライバ L S I 1 4 0 0 のメモリセル 1 4 3 3 に書き込む（ライトアクセス）ことで、表示データの更新（描画）が行われる。メモリ 1 4 3 3 へのアクセスは、ランダムに行われる。この時の、CPU 3 0 4 のアクセスは S R A M インタフェースで行われる。S R A M インタフェースのリード/ライトタイミングは図 1 0、図 1 1 に示したとおりである。

【0 1 7 9】以下、データドライバ L S I 1 4 0 0 のメモリセル 1 4 3 3 への表示データの書き込み、メモリセル 1 4 3 3 からの表示データの読み出しについて説明する。

【0 1 8 0】まず、メモリセル 1 4 3 3 への表示データの書き込みについて説明する。

【0 1 8 1】システム（CPU 3 0 4 等）からのリード/ライトアドレスは、アドレスバス 3 0 1 を通じてデータドライバ L S I 1 4 0 0 のアドレス管理回路 1 4 0 8 に入力される。各データドライバ L S I 1 4 0 0 のアドレス管理回路 1 4 0 8 は、それぞれ制御信号 1 4 0 1 に基づいてその時のアクセスが、自らの属するデータドライバ L S I 1 4 0 0 に対するものであるかを判定す

る。該判定の結果、自らの属するデータドライバLSI 1400に対するアクセスであった場合には、この時入力されたアドレス301を、カラムアドレス1409、ロウアドレス1410に変換する。

【0182】カラムアドレスデコーダ1429は、このカラムアドレス1409をデコードする。データセクタ1431はこのデコード結果に基づいて、対応するアドレスのデータ線を選択する。

【0183】一方、セクタ1423は、ロウアドレス1410を選択し、ロウアドレス1424としてロウアドレスデコーダ1425に出力する。ロウアドレスデコーダ1425はこのロウアドレス1424をデコードし、デコード結果に応じてゲート線1本を選択する。これにより、CPU304は、その時選択されているデータ線およびゲート線によって定まるメモリセル1433上の所定のビットにアクセスし、表示データを所定のアドレスに転送することができる。

【0184】次に、メモリセル1433からの表示データの読み出し（表示動作）について説明する。

【0185】タイミング制御回路1411は、レジスタ14110の内容とロウアドレス1422とを確認することで、この時、静止画領域の表示を行っていることを知っている。そのため、タイミング制御回路1411は、この時には、セクタ1437がデータバス1434を選択するような値を制御信号1445として出力している。セクタ1437は、この制御信号1445に従ってデータバス1434を選択し、該データバス1434を通じてメモリセル1433から読み出されて来たデータ（各画素3ビット、1ライン分）を表示データ1438として出力する。

【0186】シフトレジスタ1439は、表示データ1438を水平周期でラッチする。これに続く、ラッチ回路1441は、次の水平周期で、シフトレジスタ1439の出力する表示データ1440をラッチし、液晶駆動回路1443に表示データ1442として出力する。液晶駆動回路1443は、この表示データ1442に応じて電圧変調（AM）制御を行った液晶駆動電圧1444を液晶パネル309に出力する。液晶駆動電圧1444の出力は走査回路1402の生成する走査選択信号1403に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0187】以上の動作を繰り返すことで静止画の表示が可能となる。

【0188】〔動画の表示動作〕動画を表示する場合には、多階調表示、表示データの高速転送が、実際上は必要になる。本実施形態のデータドライバLSI 1400は、これに対応するため以下のような描画動作を行う。

【0189】動画データは、動画コントローラ311とCPU304とで動画圧縮データから動画伸長処理を行い、表示データに展開する。展開した表示データは動画

コントローラ311がFRC制御を行う。

【0190】ところで、動画コントローラ311も、動画領域を示す情報を格納したレジスタ（図5における制御レジスタ回路505）を備えている。動画コントローラ311は、このレジスタの内容等を確認することで、その時表示処理の対象となっているのが動画表示領域であるか否かを知ることができる。その時表示処理の対象となっているのが動画表示領域であった場合、動画コントローラ311は上述のFRC制御を行なう。そして、その結果得られた各画素3ビットのFRCデータを、1ライン分ずつ順次、データバス302を通じてデータドライバLSI 1400にシリアルに送る。

【0191】データドライバLSI 1400のタイミング制御回路1411も、同様にレジスタ14110の内容とロウアドレス1422とを確認することでその時表示処理の対象となっているのが動画表示領域であることを知る。そのため、タイミング制御回路1411は、この時の制御信号1445を、セクタ1437がデータバス302を選択するような値とする。その結果、セクタ1437は、データバス302を通じて動画コントローラ311から送られてくるFRCデータを選択し、シフトレジスタ1439に出力させる。これ以降は、静止画の場合と同様にして、この電圧変調制御の行われた液晶駆動電圧444の出力が行われることになる。このように電圧変調方式による8階調制御と、FRC階調方式による6階調以上の制御とを組み合わせることで32階調以上の表示を実現できる。

【0192】次に、動画コントローラ311からデータドライバLSI 1400への動画データ転送のタイミングおよびこの動画データのデータドライバLSI 1400内での処理のタイミングを図12、図13、図14を用いてさらに詳細に説明する。

【0193】ここでの説明では、タイミング制御回路411のレジスタ4110において、液晶パネル309のnラインからmラインまでの領域（ $n < m$ ）が動画表示領域として設定されているものとする（図12参照）。

【0194】動画コントローラ311からデータドライバ1400への動画表示データの転送は第1の実施形態と同様である。

【0195】各画素3ビットの動画表示データは、データバス302を通過して動画コントローラ311からデータドライバLSI 1400に1ライン分ずつシリアルに転送されてくる。図13において、CL1は水平期間を表わす同期信号であり、表示同期信号1407（図8、図9参照）に含まれている信号である。

【0196】タイミング制御回路1411は、このCL1を制御信号1413として表示アドレスカウンタ1421に出力している。表示アドレスカウンタ1421は、この制御信号1413（CL1）をカウントし、そのカウント値を表示用のロウアドレス1422としてセ

10

20

30

40

50

レクタ 1 4 2 3 に出力している。

【 0 1 9 7 】セクタ 1 4 3 7 は、制御信号 1 4 4 5 に従ってその選択状態を切り替えているが、その選択状態は、表示アドレスカウンタ 1 4 2 1 のカウント値と以下のような関係にある。つまり、表示アドレスカウンタ 1 4 2 1 のカウント値が  $n - 1$  となっている時（動画表示領域でない時）には、セクタ 1 4 3 7 は、データバス 1 4 3 4（つまり、メモリセル 1 4 3 3 に格納されている  $n - 1$  ライン目の表示データ）を選択している。表示アドレスカウンタ 1 4 2 1 のカウント値が  $n$  の時（動画表示領域の時）には、セクタ 1 4 3 7 は、データバス 3 0 2（つまり、動画コントローラ 3 1 1 から送られてくる表示データ）を選択している。このように、動画表示領域ではセクタ 1 4 3 7 はデータバス 3 0 2（動画コントローラ 3 1 1 からの表示データ）を選択し、動画表示領域以外ではメモリセル 1 4 3 3 の表示データを選択する。

【 0 1 9 8 】また、動画コントローラ 3 1 1 の動作も、セクタ 1 4 3 7、表示アドレスカウンタ 1 4 2 1 の動作と以下のような関係がある。つまり、表示アドレスカウンタ 1 4 2 1 が  $(n - 1)$  をカウントする時に、動画コントローラ 3 1 1 は  $n$  ライン目の表示データを順次転送する。

【 0 1 9 9 】データドライバ L S I 1 4 0 0 において、シフトレジスタ 1 4 3 9 が、図 1 4 に示したタイミングでこの動画コントローラ 3 1 1 から送られてきた  $n$  ライン目のデータ（1 ライン分）を取り込む。すなわち、シフトレジスタ 1 4 3 9 は、WE 信号に同期したシフトクロック 1 4 1 6 で、順次、表示データ 1 4 3 8（動画コントローラ 3 1 1 から送られてきた  $n$  ライン目のデータ）を 1 ライン分取り込む（注：既に述べたとおり、この時には、セクタ 1 4 3 7 はデータバス 3 0 2 を選択した状態とされている）。なお、動画コントローラ 3 1 1 からの表示データの転送は、図 1 4 における WE 信号（ライトイネーブル信号）に同期して行われている。シフトレジスタ 1 4 3 9 は、このようなタイミングで取り込んだデータを、ラッチ回路 1 4 4 1 に表示データ 1 4 4 0 として転送する。

【 0 2 0 0 】ラッチ回路 1 4 4 1 は、次の CL 1 信号に同期してこの表示データ 1 4 4 0 をラッチし、表示データ 1 4 4 2 として液晶駆動回路 1 4 4 3 に転送する（図 1 3 参照）。液晶駆動回路 1 4 4 3 は、この表示データ 1 4 4 2（各画素 3 ビット）に対応して電圧変調を行った液晶駆動電圧 1 4 4 4 を生成し出力する。液晶駆動電圧 1 4 4 4 の出力は走査回路 1 4 0 2 の生成する走査選択信号 1 4 0 3 に同期して出力されており、これにより液晶パネル 3 0 9 の 1 ライン分の表示を実現できる。

【 0 2 0 1 】以上の動作を繰り返すことで動画表示が可能となる。

【 0 2 0 2 】以上説明したとおり該第 3 の実施形態の液

晶表示装置では、データドライバ L S I 1 4 0 0 の備えるメモリセル 1 4 3 3 を静止面表示にのみ用いている。そのため、メモリセル 1 4 3 3 の書換を高速に行う必要がなく、低消費電力化が可能である。また、動画表示における階調表示は、動画コントローラによる F R C 制御と、データドライバによる電圧変調制御とを組み合わせることで実現している。そのため、データドライバ L S I 1 4 0 0 のメモリ容量を増やすことなく、多階調の動画表示（本実施形態では、3 2 階調）が容易に実現可能となる。

【 0 2 0 3 】以上述べた第 1 ～ 第 3 の実施形態では、データドライバの出力数を 1 6 0 としたが、出力数はこれに限定されない。メモリ、出力回路等の構成を出力数に対応して変えるだけで容易に対応可能である。また、F R C、パルス幅変調、電圧変調の階調制御の他の組み合わせも、容易に対応可能である。

【 0 2 0 4 】上述した第 1、第 2、第 3 の実施形態の構成をそれぞれ組み合わせてもよい。例えば、メモリセルの直後の位置、動画コントローラ、液晶駆動回路、の合計 3 カ所で階調制御を行うようにしてもよい。

【 0 2 0 5 】以上述べたデータドライバ、液晶表示装置を用いれば、消費電力が小さく、多階調表示、動画表示の可能な情報処理装置が得られる。

【 0 2 0 6 】特許請求の範囲において言う“データバス”とは、上述の実施形態においてはデータバス 3 0 2 に相当する。“アドレスバス”とは、アドレスバス 3 0 1 に相当する。“データ処理系”には、アドレス管理回路 4 0 8（9 0 8、1 4 0 8）、カラムアドレスデコーダ 4 2 9（9 2 9、1 4 2 9）、セクタ 4 3 1（9 3 1、1 4 3 1）、I/Oバッファ 4 1 9（9 1 9、1 4 1 9）、メモリセル 4 3 3（9 3 3、1 4 3 3）、ロウアドレスデコーダ 4 2 5（9 2 5、1 4 2 5）、セクタ 4 2 3（9 2 3、1 4 2 3）、データバス 4 3 6（9 3 4、1 4 3 4）等に相当する。“表示メモリ”とは、メモリセル 4 3 3（9 3 3、1 4 3 3）に相当する。“出力バス”とは、データバス 4 3 6（9 3 4、1 4 3 4）に相当する。“第 1 の階調制御回路”とは、F R C データ回路 4 2 7、F R C セクタ 4 3 5 に相当する。“選択手段”とは、タイミング制御回路 4 1 1（9 1 1、1 4 1 1）、セクタ 4 3 7（9 3 7、1 4 3 7）、表示アドレスカウンタ 4 2 1（9 2 1、1 4 2 1）等に相当する。“メモリ”とはレジスタ 4 1 1 0（9 1 1 0、1 4 1 1 0）に、また、“選択情報”とはこれらのレジスタ 4 1 1 0（9 1 1 0、1 4 1 1 0）に格納されている動画領域を示す設定情報に相当する。“指示回路”とは、タイミング制御回路（9 1 1、1 4 1 1）、表示アドレスカウンタ 4 2 1（9 2 1、1 4 2 1）に相当する。“選択指示”とは、制御信号 4 4 5（9 4 5、1 4 4 5）に相当する。“セクタ”とは、セクタ 4 3 7（9 3 7、1 4 3 7）“電圧出力手段”

とは、シフトレジスタ 4 3 9 ( 9 3 9 , 1 4 3 9 ) 、ラッチ回路 4 4 1 ( 9 4 1 , 1 4 4 1 ) 、液晶駆動回路 4 4 3 ( 9 4 3 , 1 4 4 3 ) に相当する。”第 2 の階調制御回路”とは、液晶駆動回路 9 4 3 ( 1 4 4 3 ) に含まれている階調制御に関する部分に相当する。”データコントローラ”とは、動画コントローラ 3 1 1 に相当する。”第 3 の制御回路”とは、F R C 制御回路 5 0 6 に相当する。

【 0 2 0 7 】但し、上記各部は互いに密接に連携して動作するものであり、ここで述べた定義は厳密なものではない。

【 0 2 0 8 】

【発明の効果】以上説明した通り本発明によれば、データドライバに内蔵する表示メモリ容量を増加させることなく多階調表示、動画表示が可能である。また、データドライバに表示メモリを内蔵しているため、静止画については表示メモリのアクセス周波数を低速化（水平期間に 1 回）できる。そのため、低コストと低消費電力化とを両立させることができる。階調表示数は外部のコントローラで F R C 制御するため、データドライバ L S I に関係なく任意に設定可能である。本発明のデータドライバ、液晶表示装置を用いれば、消費電力が小さく、多階調表示、動画表示の可能な情報処理装置が得られる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態である液晶表示装置の全体構成を示すブロック図である。

【図 2】液晶表示装置の主要部の詳細な構成を示すブロック図である。

【図 3】データドライバ L S I 3 0 7 の詳細な構成を示すブロック図である。

【図 4】セレクト 4 3 7 の内部構成を示す回路図である。

【図 5】動画コントローラ 3 1 1 の内部構成を示すブロック図である。

【図 6】本発明の第 2 の実施形態における液晶表示装置の主要部の構成を示す図である。

【図 7】データドライバ L S I 9 0 0 の構成を示す図である。

【図 8】本発明の第 3 の実施形態における液晶表示装置の主要部の構成を示す図である。

【図 9】データドライバ L S I 1 4 0 0 の内部構成を示す図である。

【図 1 0】S R A M インタフェースのメモリライトタイミングを示す図である。

【図 1 1】S R A M インタフェースのメモリリードタイミングを示す図である。

【図 1 2】液晶パネル 3 0 9 における動画表示領域を示す図である。

【図 1 3】動画コントローラ 3 1 1 から液晶ドライバ 3 0 7 ( 9 0 0 , 1 4 0 0 ) への動画表示データの転送タ

イミングを示す図である。

【図 1 4】シフトレジスタ 4 3 9 ( 9 3 9 , 1 4 3 9 ) による表示データの転送タイミングを示す図である。

【図 1 5】F R C 階調方式を示す図である。

【図 1 6】パルス幅変調階調方式を示す図である。

【図 1 7】電圧変調階調方式を示す図である。

【図 1 8】従来の液晶表示装置の構成図である。

【図 1 9】従来技術の液晶表示装置の主要部の構成図である。

【図 2 0】従来技術のデータドライバの構成図である。

【符号の説明】

【図 1】3 0 1 …アドレスバス、3 0 2 …データバス（表示データ）、3 0 3 …制御信号、3 0 4 …C P U、3 0 5 …メモリ、3 0 6 …I / O デバイス、3 0 7 …データドライバ、3 0 8 …走査回路、3 0 9 …液晶パネル、3 1 0 …表示同期信号、3 1 1 …動画コントローラ  
 【図 2、図 3】4 0 1 …制御信号、4 0 2 …発振回路、4 0 3 …表示クロック、4 0 4 …電源回路、4 0 5 …電源電圧、4 0 6 …電源電圧、4 0 7 …走査選択信号、4 0 8 …アドレス管理回路、4 0 9 …カラムアドレス、4 1 0 …ロウアドレス、4 1 1 …タイミング制御回路、4 1 2 …制御信号、4 1 3 …制御信号、4 1 4 …制御信号、4 1 5 …制御信号、4 1 6 …シフトクロック、4 1 7 …制御信号（ラッチ信号）、4 1 8 …制御信号、4 1 9 …I / O バッファ、4 2 0 …データバス、4 2 1 …表示アドレスカウンタ、4 2 2 …ロウアドレス、4 2 3 …セレクト、4 2 4 …ロウアドレス、4 2 5 …ロウアドレスデコーダ、4 2 6 …選択信号、4 2 7 …F R C データ回路、4 2 8 …F R C データ、4 2 9 …カラムアドレスデコーダ、4 3 0 …選択信号、4 3 1 …データセクタ、4 3 2 …データバス、4 3 3 …メモリセル、4 3 4 …データバス（表示データ）、4 3 5 …F R C セクタ、4 3 6 …データバス（表示データ）、4 3 7 …セクタ、4 3 8 …データバス（表示データ）、4 3 9 …シフトレジスタ、4 4 0 …データバス（表示データ）、4 4 1 …ラッチ回路、4 4 2 …データバス（表示データ）、4 4 3 …液晶駆動回路、4 4 4 …液晶駆動電圧、4 4 5 …制御信号、4 1 1 0 …レジスタ

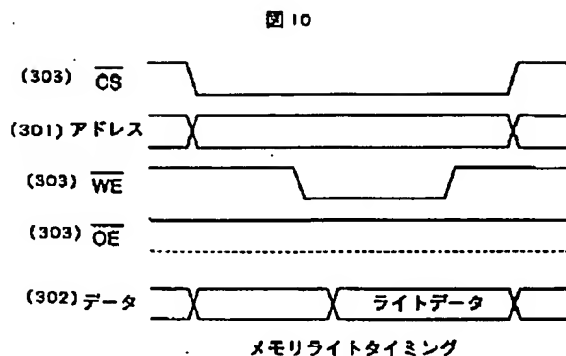
【図 5】5 0 1 …タイミング制御回路、5 0 2 …I / O 制御回路、5 0 3 …アドレス制御回路、5 0 4 …動画処理回路、5 0 5 …制御レジスタ回路、5 0 6 …F R C 制御回路、5 0 7 …制御信号、5 0 8 …制御信号、5 0 9 …制御信号、5 1 0 …制御信号、5 1 1 …制御信号、5 1 2 …制御信号（レジスタラッチ信号）、5 1 3 …アドレスバス、5 1 4 …アドレスバス、5 1 5 …データバス、5 1 6 …データバス、5 1 7 …データバス、5 1 8 …データバス、5 1 9 …データバス、5 2 0 …データバス

【図 6、図 7】9 0 0 …データドライバ、9 0 1 …制御信号、9 0 2 …走査回路、9 0 3 …走査選択信号、9 0

4…電源回路、1405…電源電圧、1406…電源電圧、907…表示同期信号、908…アドレス管理回路、909…カラムアドレス、910…ロウアドレス、911…タイミング制御回路、912…制御信号、913…制御信号、914…制御信号、916…制御信号（シフトクロック）、917…制御信号（ラッチ信号）、918…制御信号、919…I/Oバッファ、920…データバス、921…表示アドレスカウンタ、922…ロウアドレス、923…セクタ、924…ロウアドレス、925…ロウアドレスデコーダ、926…ワード選択信号、927…制御信号、929…カラムアドレスデコーダ、930…選択信号、931…セクタ、932…データバス、933…メモリセル、934…データバス、937…セクタ、938…データバス、939…シフトレジスタ、940…データバス（表示データ）、941…ラッチ回路、942…データバス（表示データ）、943…液晶駆動回路、944…液晶駆動電圧、945…制御信号、9110…レジスタ

【図8、図9】1400…データドライバ、1401…制御信号、1402…発振回路、1403…走査選択信号、1404…電源回路、1405…電源電圧、1406…電源電圧、1407…表示同期信号、1408…アドレス管理回路、1409…カラムアドレス、1410…ロウアドレス、1411…タイミング制御回路、1412…制御信号、1413…制御信号、1414…制御信号、1416…制御信号（シフトクロック）、1417…制御信号（ラッチ信号）、1418…制御信号、1419…I/Oバッファ、1420…データバス、1421…表示アドレスカウンタ、1422…ロウアドレス、1423…セクタ、1424…ロウアドレス、1425…ロウアドレスデコーダ、1426…ワード選択信号、1427…制御信号、1429…カラムアドレス

【図10】

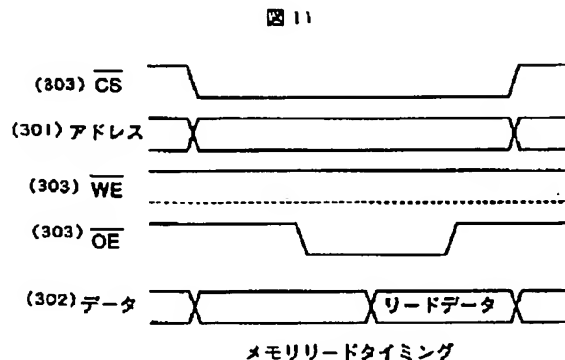


デコーダ、1430…選択信号、1431…データセクタ、1432…データバス、1433…メモリセル、1434…データバス、1437…セクタ、1438…データバス（表示データ）、1439…シフトレジスタ、1440…データバス、1441…ラッチ回路、1442…データバス、1443…液晶駆動回路、1444…液晶駆動電圧、1445…制御信号、14110…レジスタ

【図18】101…アドレスバス、102…データバス、103…制御信号線（制御信号）、104…CPU、105…メモリ、106…I/Oデバイス、107…データドライバ、108…走査回路、109…液晶パネル、110…表示同期信号

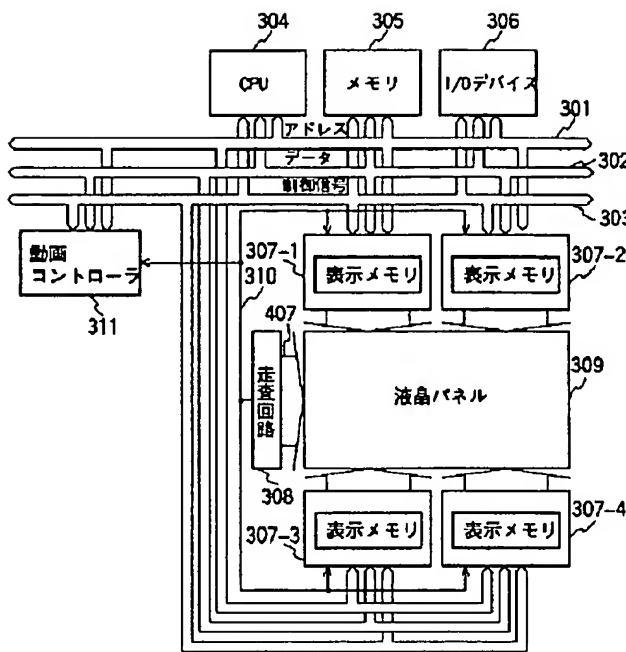
【図19、図20】201…表示用発振回路、202…電源回路、203…制御信号線、204…表示制御信号線、205…電源電圧、206…電源電圧、207…アドレス管理回路、208…カラムアドレス、209…ロウアドレス、210…タイミング制御回路、211…制御信号、212…制御信号、213…制御信号、214…制御信号（ラッチ信号）、215…制御信号（ラッチ信号）、216…制御信号、217…表示アドレスカウンタ、218…ロウアドレス、219…I/Oバッファ、220…データバス、221…セクタ、222…ロウアドレス、223…カラムアドレスデコーダ、224…選択信号、225…データセクタ、226…データバス、227…ロウアドレスデコーダ、228…ワード選択信号、229…メモリセル、230…データバス（表示データ）、231…制御信号、232…FRCデータ回路、233…FRCデータ、234…FRCセクタ、235…表示データバス、236…ラッチ回路、237…データバス、238…ラッチ回路、239…データバス、240…液晶駆動回路、241…液晶駆動電圧

【図11】



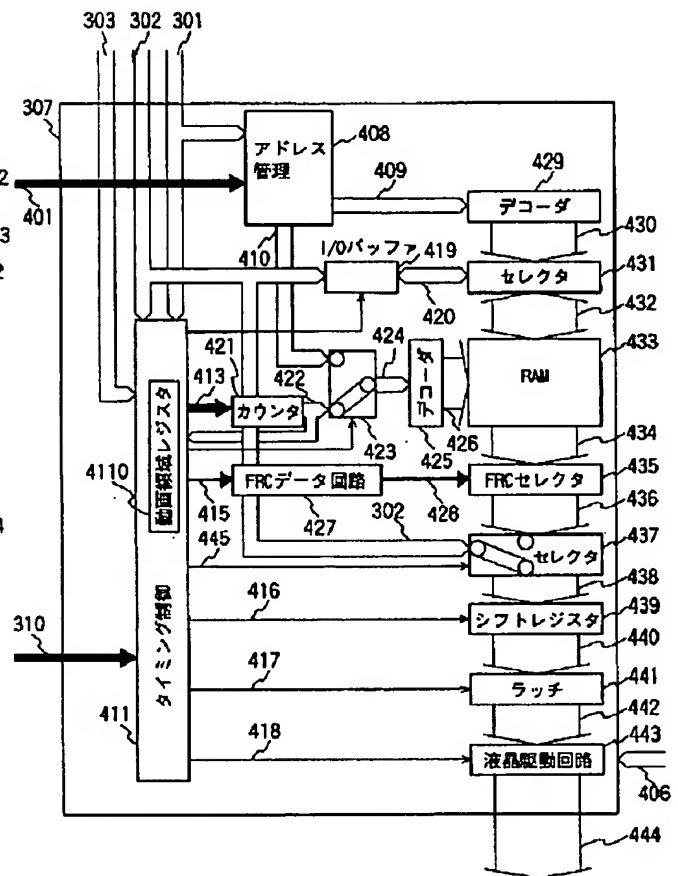
【 図 1 】

図1



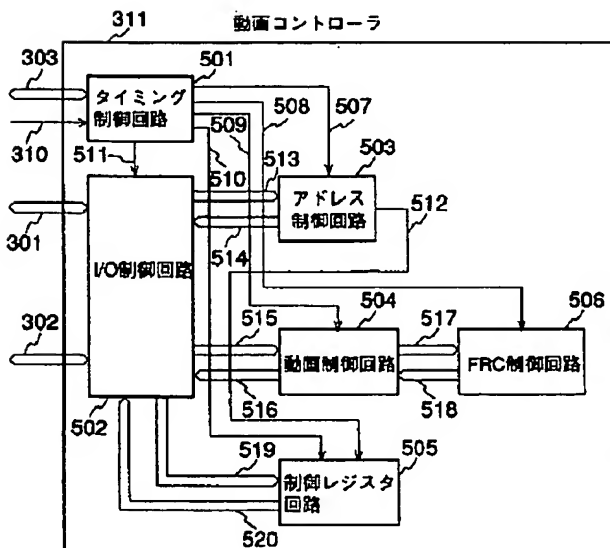
【 図 3 】

図3



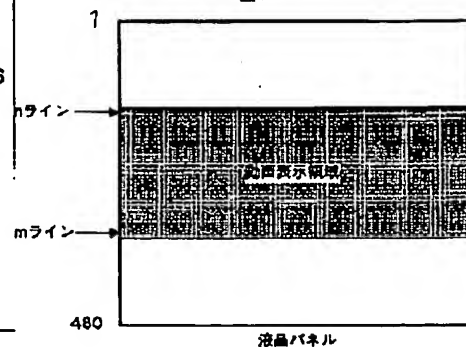
【 図 5 】

図5



【 図 1 2 】

図12

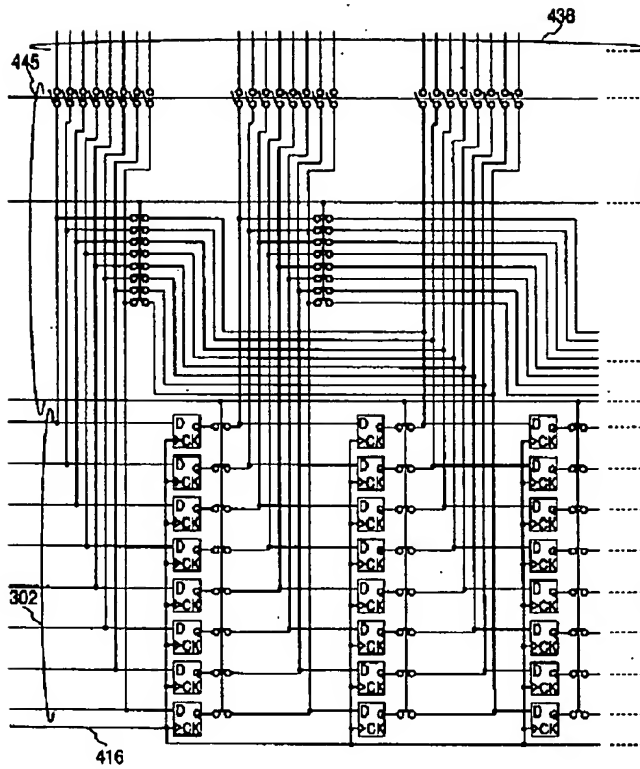






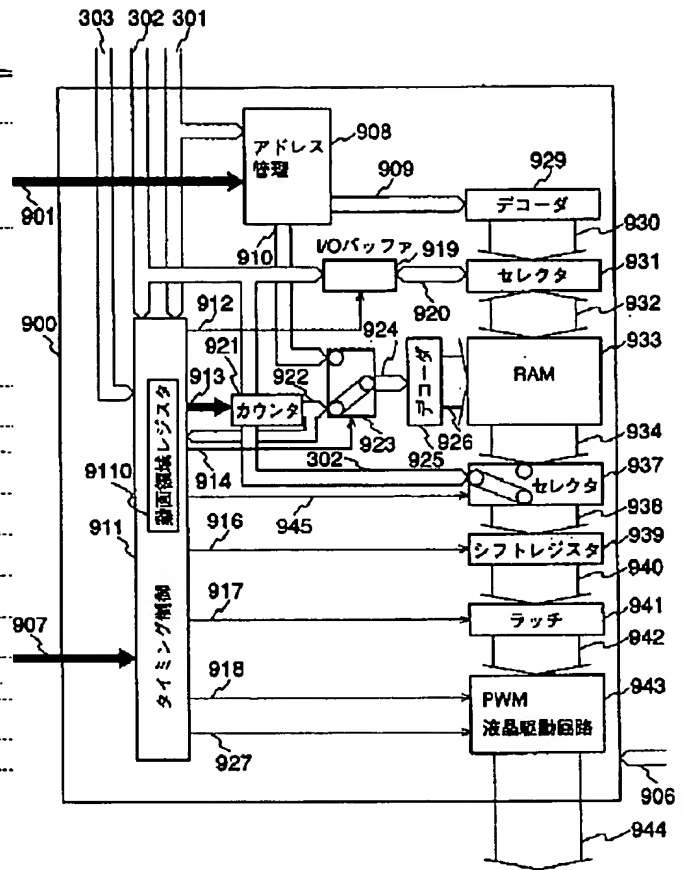
【 図 4 】

図4



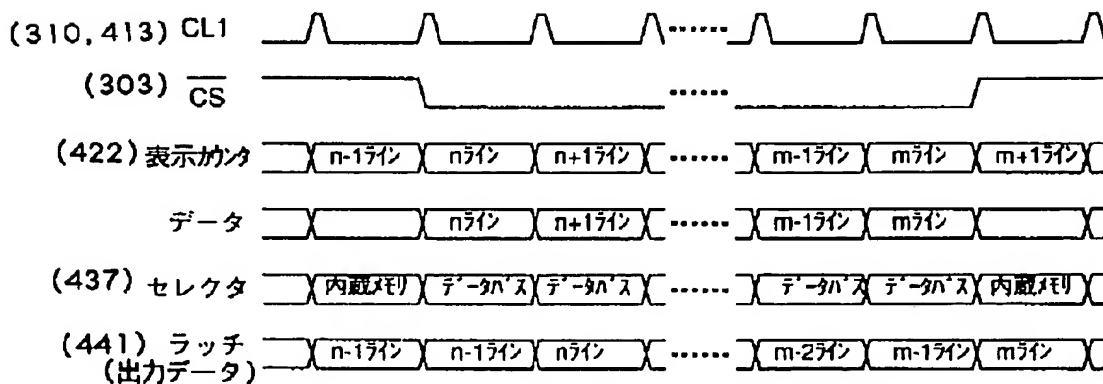
【 図 7 】

図7



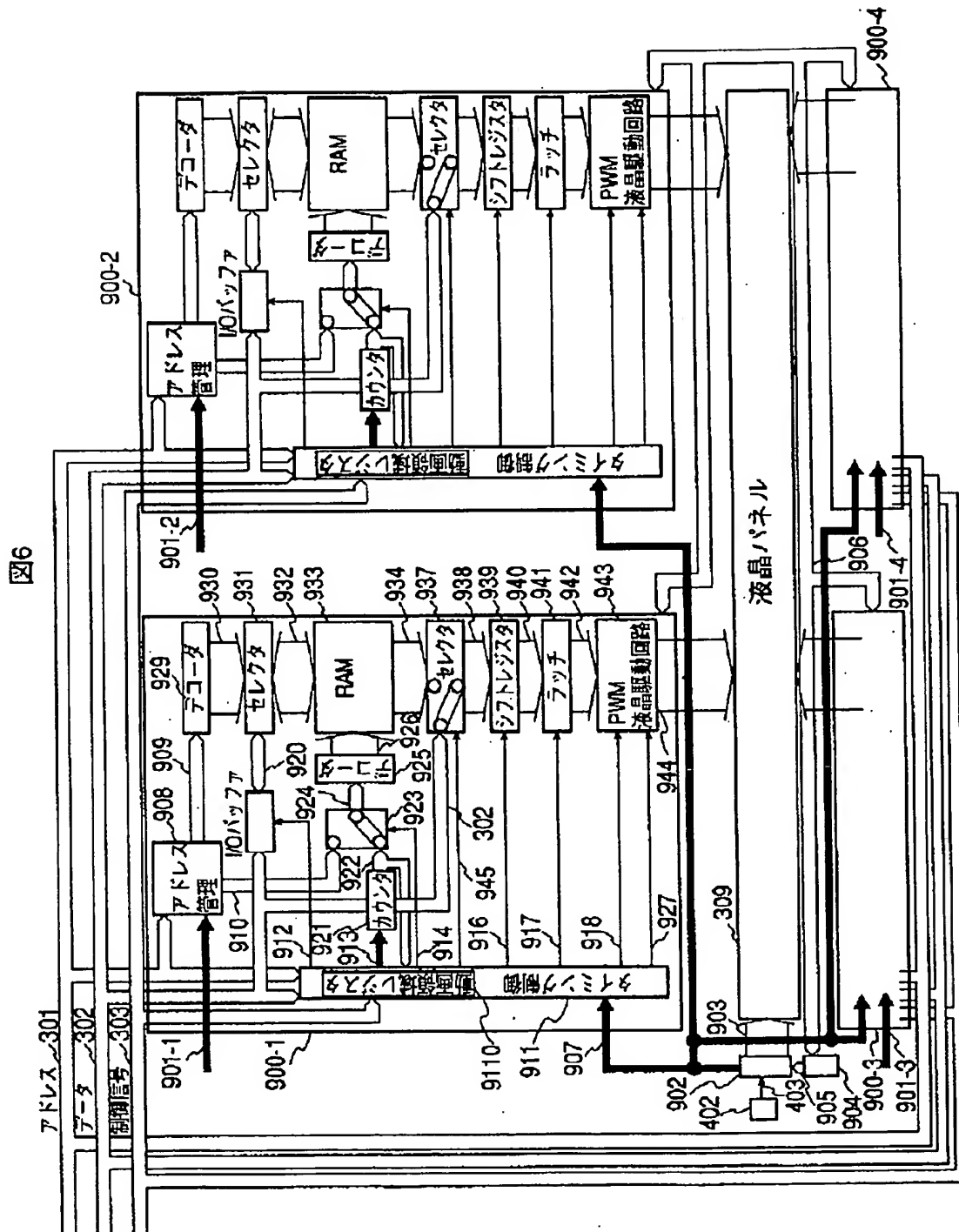
【 図 1 3 】

図13

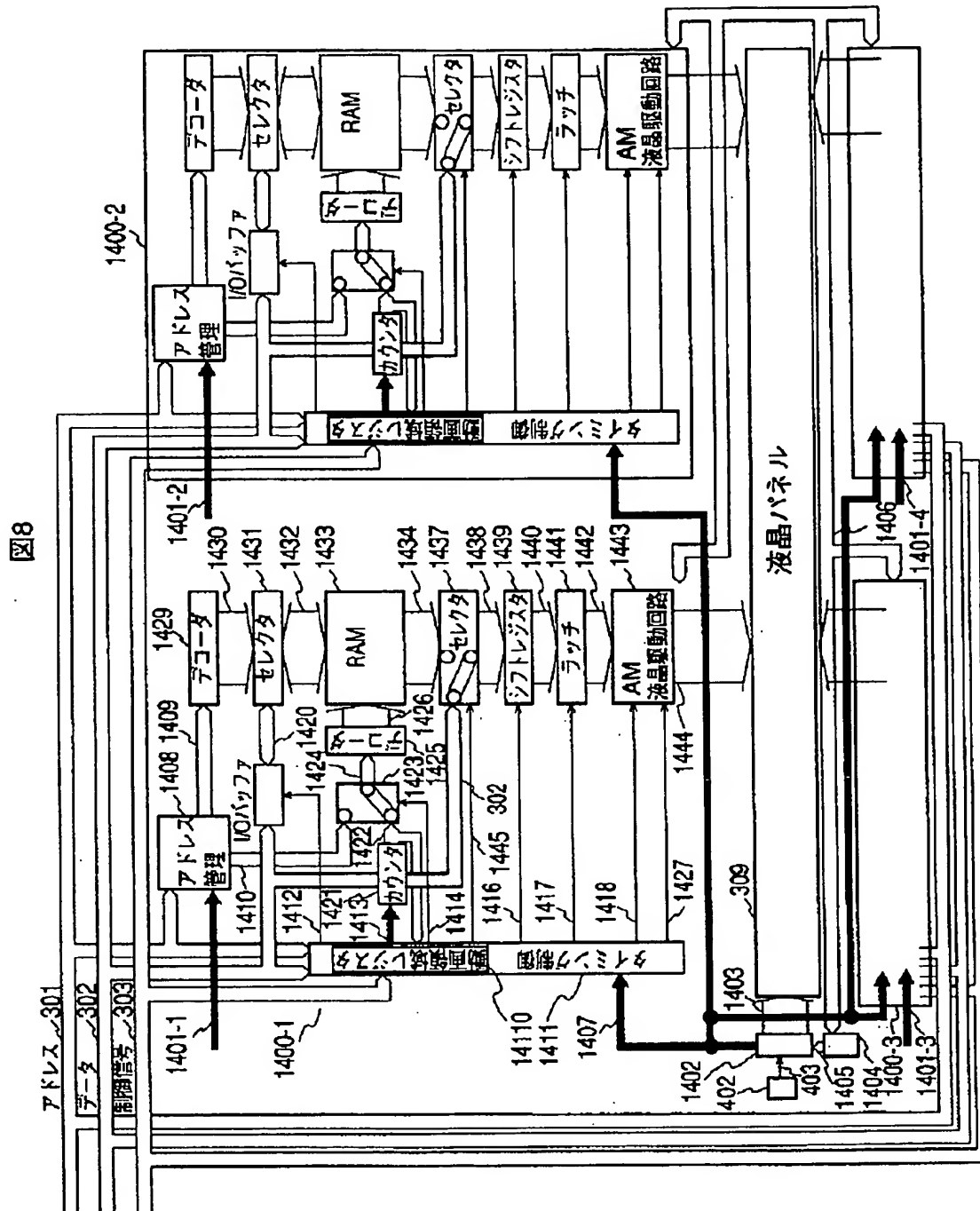


動画表示データ転送タイミング

〔 図 6 〕

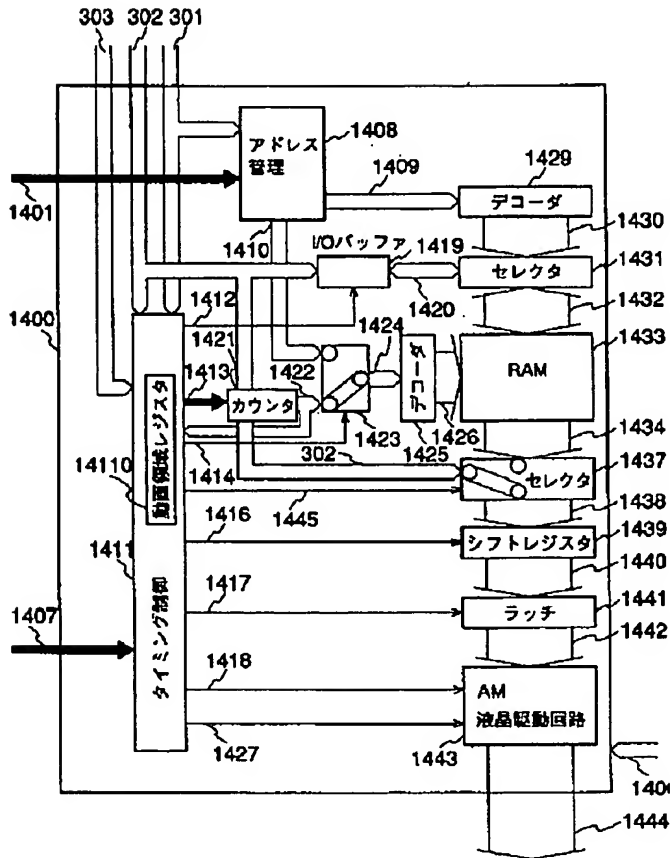


【 図 8 】



【 図 9 】

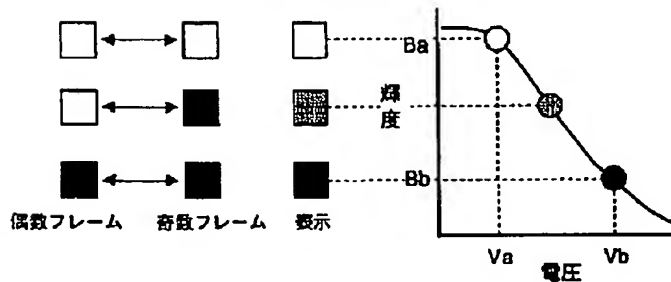
図9



【 図 1 5 】

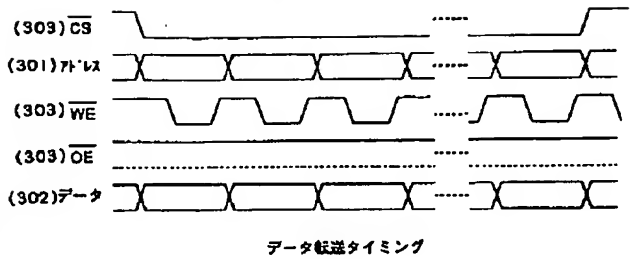
図15

F R C 階調方式



【 図 1 4 】

図14

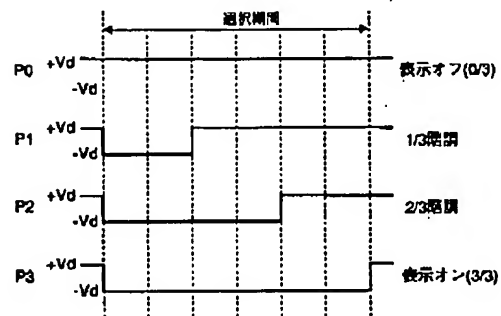
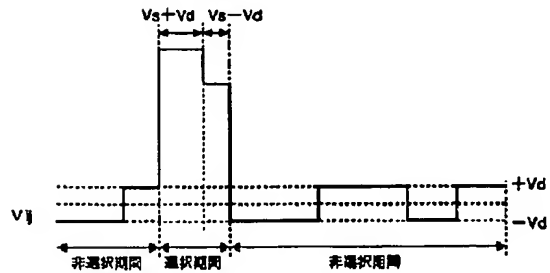


データ転送タイミング

【 図 1 6 】

図16

P W M 階調方式

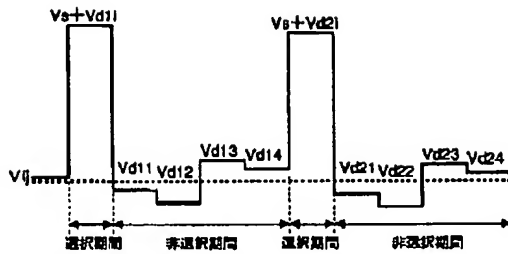


$$\langle D_{ij} \rangle = \sqrt{\frac{a [V_s - (-V_d)]^2 + (3-a) [V_s - (V_d)]^2 + 3(N-1)V_d^2}{3N}}$$

【図 1 7】

図 17

AM駆動方式



階層No.	k	+電圧		-電圧	
		Vd11	Vd21	Vd11	Vd21
0	1	Vd	Vd	-Vd	-Vd
1	0.75	1.41Vd	0.09Vd	-1.41Vd	-0.09Vd
2	0.5	1.38Vd	-0.37Vd	-1.38Vd	0.37Vd
3	0.25	1.22Vd	-0.72Vd	-1.22Vd	0.72Vd
4	-0.25	0.72Vd	-1.22Vd	-0.72Vd	1.22Vd
5	-0.5	0.37Vd	-1.38Vd	-0.37Vd	1.38Vd
6	-0.75	-0.09Vd	-1.41Vd	0.09Vd	1.41Vd
7	-1	-Vd	-Vd	Vd	Vd

1 フレーム目:

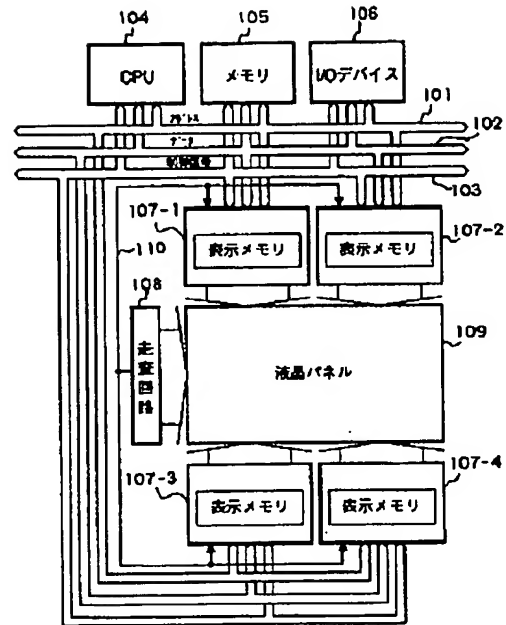
$$V_{d11} = (k \sqrt{1/2}) V_d$$

2 フレーム目:

$$V_{d21} = (k \sqrt{1/2}) V_d$$

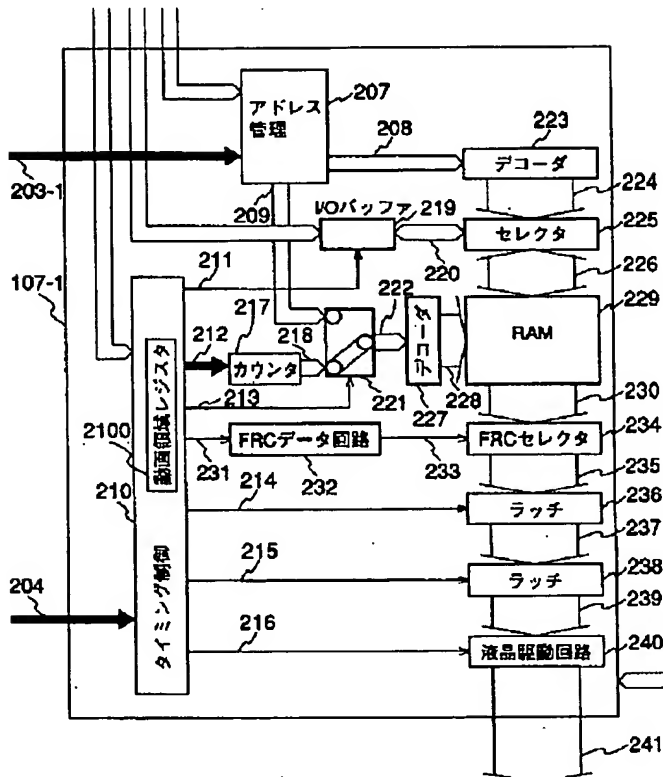
【図 1 8】

図 18

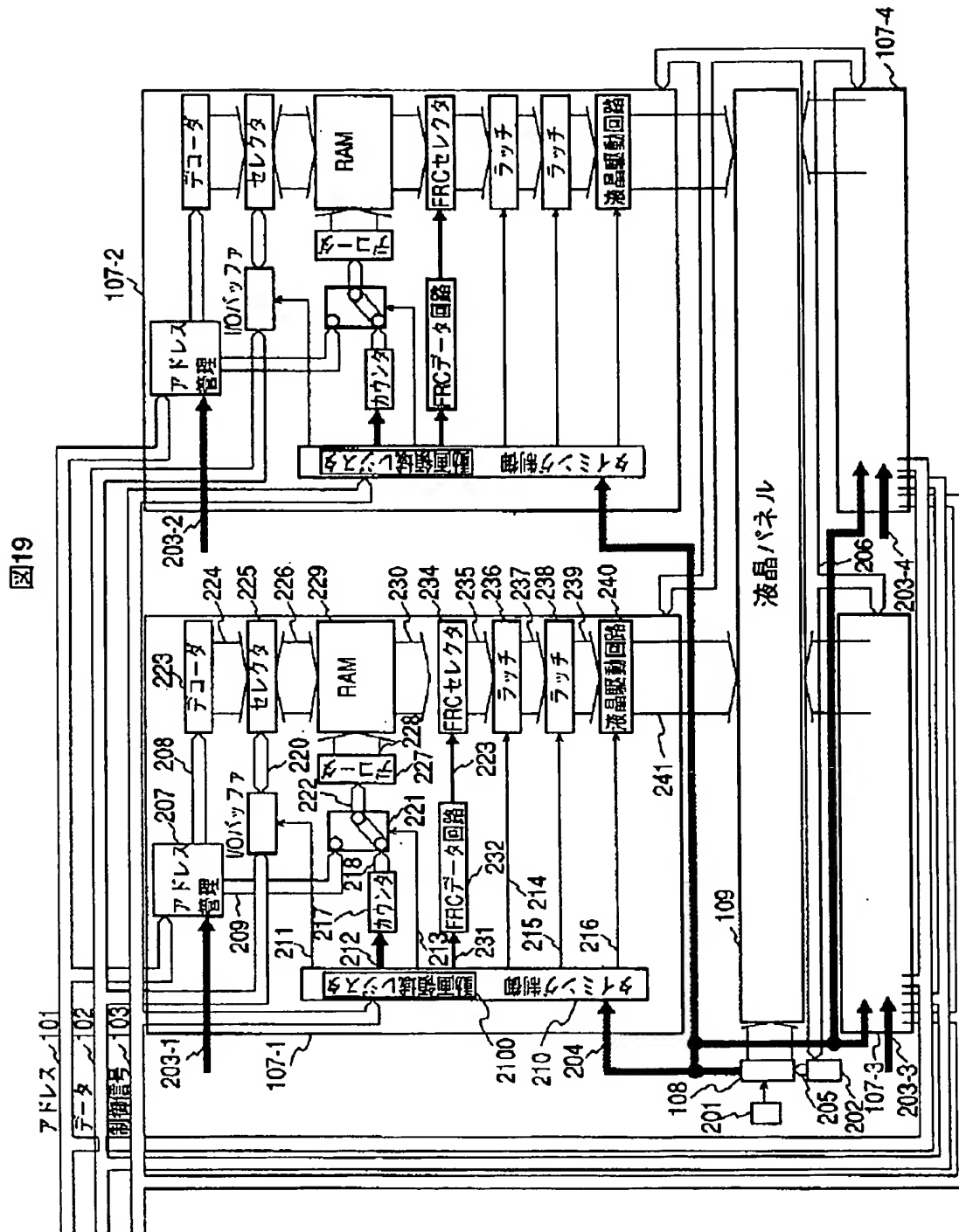


【図 2 0】

図 20



【 図 1 9 】



フロントページの続き

(72)発明者 大石 純久

神奈川県川崎市麻生区王禅寺1099番地  
株式会社日立製作所システム開発研究所  
内

(72)発明者 恒川 悟

東京都小平市上水本町五丁目20番1号  
株式会社日立製作所半導体事業部内